

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

CFM 466 US (EP)  
KR  
09/248,980  
2/12/99  
GAU-2711

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出願年月日

Date of Application:

1998年 2月16日

願番号

Application Number:

平成10年特許願第033369号

願人

Applicant(s):

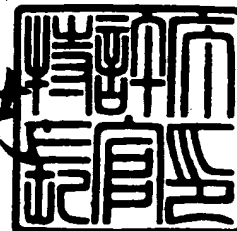
キヤノン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 3月12日

特許庁長官  
Commissioner,  
Patent Office

伴佐山建志



(translation of the front page of the priority document of  
Japanese Patent Application No. 10-033369)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the  
following application as filed with this Office.

Date of Application: February 16, 1998

Application Number : Patent Application 10-033369

Applicant(s) : Canon Kabushiki Kaisha

March 12, 1999

Commissioner,  
Patent Office

Takeshi ISAYAMA

Certification Number 11-3014279

【書類名】 特許願

【整理番号】 3406011

【提出日】 平成10年 2月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30  
H01J 3/02

【発明の名称】 画像形成方法及び装置

【請求項の数】 15

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 阿部 直人

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100076428

【弁理士】

【氏名又は名称】 大塚 康德

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100093908

【弁理士】

【氏名又は名称】 松本 研一

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100101306

【弁理士】

【氏名又は名称】 丸山 幸雄

【電話番号】 03-5276-3241

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704672

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成方法及び装置

【特許請求の範囲】

【請求項 1】 画像信号をパルス幅変調して画像を形成する画像形成装置であって、

複数の冷陰極素子をマトリクス状に配列した画像形成用パネルと、

基準クロック信号に同期して、前記画像信号の値に応じた周期のパルス幅変調用のクロック信号を発生するクロック発生手段と、

前記画像信号と前記パルス幅変調用のクロック信号とを入力し、前記画像信号の値に応じた数の前記パルス幅変調用のクロック信号を計数してパルス幅変調信号を出力するパルス幅変調手段と、

前記パルス幅変調信号に応じて走査線順次に前記画像形成用パネルの各素子を駆動して画像を形成させる駆動手段と、

を有することを特徴とする画像形成装置。

【請求項 2】 請求項 1 に記載の画像形成装置であって、前記パルス幅変調手段は、前記画像信号をロードし、前記パルス幅変調用のクロック信号に同期して前記画像信号に相当する値を計数するカウンタを有することを特徴とする。

【請求項 3】 請求項 1 に記載の画像形成装置であって、前記クロック発生手段は、パルス幅変調処理の開始のタイミングで初期化されて前記基準クロック信号を計数するカウンタと、前記カウンタの出力が所定値の場合に前記基準クロック信号の出力を禁止し、前記カウンタの出力が前記所定値以外の時に前記基準クロック信号を前記パルス幅変調用のクロック信号として出力する出力手段とを有することを特徴とする。

【請求項 4】 請求項 3 に記載の画像形成装置であって、前記所定値は前記画像信号の低輝度レベルに相当していることを特徴とする。

【請求項 5】 請求項 3 又は 4 に記載の画像形成装置であって、前記出力手段は、前記カウンタの出力をデコードして前記所定値の場合に、前記基準クロック信号の出力を禁止するデコーダ手段とを含むことを特徴とする。

【請求項 6】 請求項 3 又は 4 に記載の画像形成装置であって、前記出力手

段は、前記カウンタの出力をアドレスとして入力し、前記アドレスのそれぞれに前記基準クロック信号の出力を許可或は禁止するための情報を記憶するメモリを含むことを特徴とする。

【請求項 7】 請求項 1 に記載の画像形成装置であって、前記クロック発生手段は、複数ビットからなる所定データを記憶するメモリと、前記メモリに記憶された前記所定データの各ビットをロードし、前記基準クロック信号に同期して出力するシフトレジスタとを有することを特徴とする。

【請求項 8】 請求項 1 に記載の画像形成装置であって、前記パルス幅変調手段は、前記画像信号をロードして保持する保持手段と、前記パルス幅変調用のクロック信号に同期して計数するカウンタと、前記保持手段の出力値と前記カウンタの計数値とを比較する比較手段とを有することを特徴とする。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の画像形成装置であって、前記冷陰極素子は表面伝導型放出素子であることを特徴とする。

【請求項 10】 請求項 1 乃至 8 のいずれか 1 項に記載の画像形成装置であって、前記冷陰極素子は F E 型放出素子であることを特徴とする。

【請求項 11】 請求項 1 乃至 8 のいずれか 1 項に記載の画像形成装置であって、前記冷陰極素子は M I M 型放出素子であることを特徴とする。

【請求項 12】 画像信号をパルス幅変調して画像を形成する画像形成方法であって、

基準クロック信号に同期して、画像信号の値に応じた周期のパルス幅変調用のクロック信号を発生するクロック発生工程と、

前記画像信号と前記パルス幅変調用のクロック信号とを入力し、前記画像信号の値に応じた数の前記パルス幅変調用のクロック信号を計数してパルス幅変調信号を出力するパルス幅変調工程と、

前記パルス幅変調信号に応じて走査線順次に画像形成用パネルの各素子を駆動して画像を形成させる駆動工程と、

を有することを特徴とする画像形成方法。

【請求項 13】 請求項 12 に記載の画像形成方法であって、前記パルス幅変調工程では、前記画像信号をロードし、前記パルス幅変調用のクロック信号に

同期して前記画像信号に相当する値をカウンタの出力をパルス幅変調信号として出力することを特徴とする。

【請求項 14】 請求項 12 に記載の画像形成方法であって、前記クロック発生工程では、パルス幅変調処理の開始のタイミングで初期化されて前記基準クロック信号を計数するカウンタの出力値が所定値の場合に前記基準クロック信号の出力を禁止し、前記カウンタの出力が前記所定値以外の時に前記基準クロック信号を前記パルス幅変調用のクロック信号として出力することを特徴とする。

【請求項 15】 請求項 14 に記載の画像形成方法であって、前記所定値は前記画像信号の低輝度レベルに相当していることを特徴とする。

# 【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、冷陰極素子をマトリクス状に配線した画像形成用パネルを有する画像形成装置及びその画像形成方法に関するものである。

【0002】

## 【従来の技術】

基板上に複数の表面伝導型放出素子をマトリクス状に配設し、順次行方向の配線を選択して行方向の走査を行い、この行方向の走査に同期して列方向の配線に画像信号に応じた信号を印加することにより、入力した画像信号に応じて各表面伝導型放出素子から電子を放出させ、その放出された電子を蛍光体等に衝突させて発光させることにより画像を表示する平面型の表示パネルが知られている。

【0003】

## 【発明が解決しようとする課題】

このような表示パネルでは階調画像を表示するために、その入力された画像信号を、その階調に応じてパルス幅変調し、そのパルス幅変調した信号を列方向の配線に印加して画像を表示している。

【0004】

図 10 は、このような表示パネルに入力されるパルス幅変調信号の波形を示す図である。この図 10 から明らかなように、信号の立ち上がり波形がなまってい

る。これは、列（行）方向の配線の容量が大きいと、この信号を入力する側のドライバの出力インピーダンスで電流が制限されることに起因しており、実際には例えば1～2  $\mu$ 秒程度の立ち上がり時間を要している。このようなパルス幅変調された信号で表示パネルを駆動すると、例えば図8（A）（B）に示す様に、入力した階調データに対して発光輝度が線形にならず、その階調の再現性が損なわれていた。

## 【0005】

図8（A）（B）は、横軸にパルス幅を決定する階調データ（8ビット：256階調）を、縦軸に256階調で正規化した発光輝度を取り、図8（B）は横軸及び縦軸を“0”から“32”までに拡大して示している。ここで一階調分のパルス幅は約220 n秒であり、（入力した階調）×（220 n秒）で決まるパルス幅で表示パネルの各素子を駆動した。図8に示す表示パネルの駆動波形において、1  $\mu$ 秒程度の立ち上がり時間内では図9（B）からも明らかなように、入力データが0～3の範囲では表示パネルはほとんど光らないことになる。

## 【0006】

本発明は上記従来例に鑑みてなされたもので、入力画像データに応じた輝度の画像を形成して階調の再現性を高めた画像形成方法及び装置を提供することを目的とする。

## 【0007】

また本発明の目的は、特に低輝度時の階調性を良好に維持できる画像形成方法及び装置を提供することにある。

## 【0008】

また本発明は、入力した画像データをパルス幅変調し、その変調した信号に応じて画像データの階調に応じた画像を形成できる画像形成方法及び装置を提供することにある。

## 【0009】

## 【課題を解決するための手段】

上記目的を達成するために本発明の画像形成装置は以下のような構成を備える。即ち、



画像信号をパルス幅変調して画像を形成する画像形成装置であって、  
 複数の冷陰極素子をマトリクス状に配列した画像形成用パネルと、  
 基準クロック信号に同期して、前記画像信号の値に応じた周期のパルス幅変調  
 用のクロック信号を発生するクロック発生手段と、

前記画像信号と前記パルス幅変調用のクロック信号とを入力し、前記画像信号  
 の値に応じた数の前記パルス幅変調用のクロック信号を計数してパルス幅変調信  
 号を出力するパルス幅変調手段と、

前記パルス幅変調信号に応じて走査線順次に前記画像形成用パネルの各素子を  
 駆動して画像を形成させる駆動手段とを有することを特徴とする。

#### 【0010】

また上記目的を達成するために本発明の画像形成方法は以下のような工程を備  
 える。即ち、

画像信号をパルス幅変調して画像を形成する画像形成方法であって、  
 基準クロック信号に同期して、画像信号の値に応じた周期のパルス幅変調用の  
 クロック信号を発生するクロック発生工程と、

前記画像信号と前記パルス幅変調用のクロック信号とを入力し、前記画像信号  
 の値に応じた数の前記パルス幅変調用のクロック信号を計数してパルス幅変調信  
 号を出力するパルス幅変調工程と、

前記パルス幅変調信号に応じて走査線順次に画像形成用パネルの各素子を駆動  
 して画像を形成させる駆動工程とを有することを特徴とする。

#### 【0011】

#### 【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

#### 【0012】

本発明の実施の形態に係わる画像表示装置で使用するマトリクス画像表示パネ  
 ルは、基本的には薄型の真空容器内に、基板上に多数の電子源例えば冷陰極素子  
 を配列してなるマルチ電子源と、電子の照射により画像を形成する画像形成部材  
 とを対向して備えている。これら冷陰極素子は、例えばフォトリソグラフィ・エ  
 ッチングのような製造技術を用いれば基板上に正確に位置決めして形成できるた

め、微小な間隔で多数個を配列することが可能である。しかも、従来からCRT等で用いられてきた熱陰極素子と比較すると、陰極自身や周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。なお、マトリクス画像表示パネルの構成と製造法については後述する。

#### 【0013】

以下、本発明の実施の形態について図面を参照して説明する。

#### 【0014】

##### <実施の形態1>

図1は、本発明の実施の形態1の画像表示装置の構成を示すブロック図である。

#### 【0015】

図1において、1は本実施の形態の表示パネルであり、多数の電子源、例えば冷陰極素子を配列した基板を薄型の真空容器内に収容して構成されている。この表示パネル1は、例えば水平方向に480素子、即ち、160画素(RGB)が配置され、垂直方向に240素子(240画素)が配置されている。本実施の形態では、表示パネル1として480素子×240素子(160画素×240画素)のマトリクス画像表示パネルの例を示すが、配列している素子の数は必要に応じて、或は製品の用途により決定されるためこの限りではない。この表示パネル1は、図示のようにRGBストライプ状に画素を配列している。2a~2cはアナログデジタル変換器(A/Dコンバータ)で、不図示のデコーダにより、例えばNTSC信号からRGB信号にデコードされたアナログRGB信号のそれぞれを入力し、例えば各々8ビット幅のデジタルRGB信号に変換して出力している。3aはデータ並び替え部であり、A/Dコンバータ2a~2c或は不図示のコンピュータ等からのデジタルRGB信号を入力し、表示パネル1の画素配列に合わせて、その入力したデジタルRGB信号の順番を並べかえる。3bは輝度データ変換器で、データ並び替え部3aで順番が変更されたデジタルRGB信号を所望の輝度特性を有するデータに変換するための変換テーブルを有しており、ここでは例えばガンマ変換処理を行っている。4はシフトレジスタであり、輝度データ変換器3bから送られるシリアルデータをシフトクロック(SCLK)に同期して

順次シフト転送し表示パネル 1 の行方向のそれぞれの素子に対応した各々 8 ビット幅のデジタルデータ (XD1~XD480) を保持している。5 は P W M クロック発生器で、変調信号発生部 6 にパルス幅変調用 P W M クロック (PCLK) を供給している。変調信号発生部 6 は、シフトレジスタ 4 から入力されるデジタルデータに応じて、P W M クロック (PCLK) を基に、出力する信号のパルス幅を決定する。7 はドライバであり、変調信号発生部 6 から出力されるパル信号のパルス幅に応じて、表示パネル 1 の変調信号線 (列配線) を駆動する (これら駆動信号は X1~X480 で示されている)。

## 【0016】

8 は走査用シフトレジスタであり、水平走査同期信号 (HD) をシフトクロックとし、入力画像の走査線に対応する表示パネル 1 の走査配線 (行配線 Y1~Y240) を順次選択するための走査用データを出力する。9 は走査用ドライバであり、走査用シフトレジスタ 8 から出力される走査用データに従って表示パネル 1 の走査配線 (行配線) を順次駆動する。10 はタイミング制御部で、入力画像の同期信号 (sync) 及びデータサンプリングクロック (DCLK) 等から、各機能ブロックで必要な所望のタイミングの制御信号を発生して出力している。

## 【0017】

図 2 は本発明の実施の形態の変調信号発生部 6 の構成例を示すブロック図である。

## 【0018】

図において、61 はダウンカウンタで、シフトレジスタ 4 から出力される各々 8 ビット幅のデジタルデータ (XD<sub>i</sub>:XD1~XD480) をロード信号 (Ld) のタイミングでロードし、そのロードした 8 ビットデータを P W M クロック (PCLK) に同期してカウントダウンする。そして例えば、ダウンカウンタ 61 のボロー (borrow) 出力をパルス幅変調出力 (PWMout) とする。即ち、この P W M o u t は、カウンタ 61 にデータがロードされるとハイレベルになり、カウンタ 61 が P W M クロック (PCLK) に同期してカウントダウンされ、そのカウント値が “0” になってボロー出力が立ち下がる迄の間、パルス幅変調信号が出力される。この動作タイミングが図 3 のタイミング図に示されている。図 3 では、X D = p の場合の P W

Mout 信号の出力タイミングを示している。

【0019】

図4は本実施の形態のPWMのクロック発生器5の構成を示すブロック図である。

【0020】

図において、51aはカウンタで、nクロック (nPCLK) の立ち下がリエッジでカウントアップする。51bはデコーダで、カウンタ51aの出力をデコードする。51cはアンド回路である。

【0021】

図5は、図4に示す本実施の形態のPWMクロック発生器5の動作タイミングを示すタイミング図である。これら図4及び図5の説明は後述する。

【0022】

図6は、図1に示す本発明の実施の形態1の回路の動作タイミングを示すタイミング図である。

【0023】

図1において、RGB信号にデコードされたアナログRGB信号のそれぞれが、対応する各A/Dコンバータ2a~2cに入力され、各々例えば8ビット幅のデジタルRGB信号に変換される。データ並び替え部3aは、A/Dコンバータ2a~2c（或はコンピュータ等）からのデジタルRGB信号を入力する。この際、1走査ライン（1H）の画素データ数は、表示パネル1の変調信号線（列配線）側の画素数で決めると処理が簡単になるので、ここでは表示パネル1の水平方向の画素数“160”に合わせた。ここで、これらデジタルRGB信号は、データサンプリングクロック（DCLK）に同期してA/Dコンバータ2a~2cから出力される。ここで図6に示す様に、データ並び替え部3aは、RGBパラレル信号をデータサンプリングクロック（DCLK）の3倍の周波数のクロックであるシフトクロック（SCLK）のタイミングで切り替え、表示パネル1のRGB画素配列に従って順次出力する。

【0024】

データ並び替え部3aの出力信号（S2）は、輝度データ変換器3bに送られ、

輝度データ変換器 3b は、その入力したデジタルデータを、例えば CRT のガンマ特性等の輝度特性に変換してシフトレジスタ 4 に出力する（この出力信号を S3 とする）。シフトレジスタ 4 は、輝度データ変換器 3b から出力される信号（S3）をシフトクロック（SCLK）に同期して順次シフト転送し、表示パネル 1 のそれぞれの素子に対応した 8 ビット幅のデジタルデータ（XD1～XD480）を走査信号時間（水平走査時間）単位で出力する。これら 8 ビット幅のデジタルデータ（XD1～XD480）は変調信号発生部 6 に入力される。変調信号発生部 6 は、前述したように、各素子毎にデジタルデータ（「設定値」）と PWM クロック（PCLK）に応じて、出力するパルス幅変調したパルス信号幅を決定する。即ち、変調信号発生部 6 は、「PWM クロック（PCLK）数」が「設定値」と等しくなるまでの時間で決まるパルス幅の変調信号を出力する。ドライバ 7 は、例えば +V<sub>dd</sub>（例えば +7.5 V）の電圧（X1～X480）の信号を出力し、変調信号発生部 6 の出力で決まるパルス幅で表示パネル 1 の変調信号線（列方向配線）を駆動する。

## 【0025】

一方、走査用シフトレジスタ 8 は、水平走査同期信号（HD）をシフトクロックとし、入力画像が送られてくるデジタルデータに対応する表示パネル 1 の走査配線（行配線）を順次選択して走査するための走査用データを発生する。そして走査用シフトレジスタ 8 の出力を、表示パネル 1 の行配線を選択する際に、その駆動電圧が（-V<sub>ss</sub>：例えば -7.5 V）になるように、例えばトランジスタスイッチング回路で構成される走査信号ドライバ 9 により行配線に出力される。

## 【0026】

ドライバ 7 は、走査信号ドライバ 9 が選択した行配線に対して駆動電圧（-V<sub>ss</sub>：例えば -7.5 V）を出力した後、例えば 3  $\mu$  秒後に、変調信号発生部 6 から出力されるパルス幅で、+V<sub>dd</sub>（例えば +7.5 V）の電圧（X1～X480）を出力し、表示すべき画像信号に応じて表示パネル 1 の変調信号線（列配線）を駆動する。

## 【0027】

図 7 は、素子がマトリクス状に配線された一般的な表示パネルの各素子に加わる電圧波形を示す図である。

## 【0028】

図7に示す様に、表示パネルの列方向の駆動波形は駆動電圧波形の立ち上がりでなまっている。これは、表示パネルにおける信号配線側の容量が大きいため、ドライバ7の出力インピーダンスで電流が制限され、約1～2 $\mu$ 秒程度の立ち上がり時間を要しているためである。

## 【0029】

このような駆動時において、電圧(+V<sub>dd</sub>)または電圧(-V<sub>ss</sub>)のみが印加される素子は、後述する表面伝導型放出素子の特性上、電子放出に寄与しない。即ち、表示パネル1に設けられた蛍光体に向けて電子を放出しないので、それに対応する画素が発光しない。これに対し行配線が選択され、その選択された行配線に画像信号に応じたパルス幅変調信号が印加されて走査されている表示パネル1の各素子には、 $[(+V_{dd}) - (-V_{ss})]$ なる電圧が、パルス幅変調された信号に比例したパルス幅で加えられる。そして、この電圧 $[(+V_{dd}) - (-V_{ss})]$ が印加された素子から、表示パネル1の蛍光体に向けて電子が放出される。こうして各行方向配線が順次選択されて、各行の素子が画像信号の値に応じたパルス幅で駆動されることにより、表示パネル1に画像が表示される。

## 【0030】

本実施の形態1では、NTSC信号を240本の走査ラインを有する表示パネル1で表示させるために、インターレースされている有効走査線485本の内、480本をフィールド毎に表示パネル1に重ね書きするように駆動した。即ち、表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号により駆動した。ここで1走査ラインの表示に要する時間は、約63.5 $\mu$ 秒であり、その時間内の約56.5 $\mu$ 秒を駆動パルス(X1～X480)の最大時間と決めた。

## 【0031】

図8(A)(B)は、従来の表示パネルにおける輝度特性を示すグラフ図で、図8(B)は図8(A)に示すグラフ図の一部を拡大して示している。

## 【0032】

これに対し図9(A)(B)のそれぞれは、従来の図8(A)(B)に対して本実施の形態1における入力データ(画像信号)対する輝度特性を示すグラフ図

である。図9において、901は本実施の形態における発光輝度特性を示し、902は従来の発光輝度特性を示している。

#### 【0033】

これを実現するために、具体的には、図8(B)に示すような従来の表示パネルにおける、ほぼ階調性がリニアである特性(設定値が“16”以上)部分を直線により近似し、X切片を求める。図8(B)では、このときの階調数が約“4”である。そして、この表示パネル1を駆動しても発光しないパルス幅の時間を全て「1階調」に割り振る。ここで、画像データの値「設定値」が、 $(i-1)$ から $i$ まで増加する時のパルス幅の増加時間を $T_i$ (8ビット： $i=1\sim 255$ )とし、これらを以下のように決定する。すなわち、

$$T_1 = 220 \text{ n秒} \times 4 = 880 \text{ n秒}$$

$$T_2 = 220 \text{ n秒}$$

$$T_3 = 220 \text{ n秒}$$

:

$$T_{255} = 220 \text{ n秒}$$

このような処理を実現するために、本実施の形態1におけるパルス幅変調が、PWMクロック発生器5及び変調信号発生部6により実現されている。この動作を前述の図4～図6を参照して詳しく説明する。

#### 【0034】

図4において、nクロック(nPCLK)は、PWMクロック(PCLK)と同じ周波数のクロック、即ち、周波数が約4.5MHzのクロックである。カウンタ51aは、パルス幅変調の開始のタイミングでCLR信号によりリセットされた後、このnクロック(nPCLK)の立ち下がリエッジによりカウントアップされ、その出力がデコーダ51bによりデコードされ、そのカウンタ出力が“1”～“3”(十進数)のときロウレベルの信号をアンド回路51cに出力する。一方、このアンド回路51cの他方の入力には、nクロック(nPCLK)が入力されており、このアンド回路51cでデコーダ51bの出力と論理積が取られて出力される。これにより図5に示すように、カウンタ51aの出力値が“1”～“3”(十進数)の時にPWMクロック(PCLK)の出力が禁止され、それ以外でnクロック(

nPCLK) が PWM クロック (PCLK) として出力されることになる。このように nPCLK を 3 個計数するまでクロック信号 PCLK の出力を禁止することにより低レベルのデータ “1” ~ “3” の出力パルス幅を長くして、低輝度レベルでの発光輝度を高めるようにしている。

#### 【0035】

前述したように、変調信号発生部 6 は、「PWM クロック (PCLK)」の数が「設定値」と等しくなるまでの時間で決まるパルス幅の信号 (PWM0out) を出力するので、前述した  $T1 = 880 \text{ n秒}$ ,  $T2 = 220 \text{ n秒}$ ,  $T3 = 220 \text{ n秒}$ , ...,  $T256 = 220 \text{ n秒}$  での制御が実現できる。

#### 【0036】

こうして得られる本実施の形態 1 に係る表示パネル 1 の輝度特性を、図 9 (A) (B) に示す。図 9 (A) (B) では横軸にパルス幅を決めるための設定値 (8 ビット: 256 階調) を取り、縦軸に 256 階調で正規化した実施の形態 1 の輝度と従来の輝度との関係を示している。図 9 (B) は、横軸の設定値を “0” から “32” までとし、縦軸の輝度の値を “0” から “32” までとして、図 9 (A) を拡大して示している。この図 9 (B) から明らかなように、従来に比べて低輝度の階調の再現性が改善されている。

#### 【0037】

この結果、表示パネル 1 に良好な階調性で画像表示できた。特に従来例で問題となっていた、暗い画像部 (低輝度部) での階調の再現性 (輝度分解能) が大幅に改善されている。

#### 【0038】

本実施の形態 1 では、n クロック (nPCLK) と PWM クロック (PCLK) の周波数を同じにしている。この実施の形態 1 では、n クロック (nPCLK) 数が  $(256 + 4)$  必要なため、実際の駆動パルス ( $X1 \sim X480$ ) の最大時間は約  $220 \text{ n秒} \times 259 = \text{約 } 57 \mu \text{秒}$  となる。この最大時間で問題がなければ良いが、例えば、他の処理時間が必要となり、駆動パルス ( $X1 \sim X480$ ) の最大時間を約  $56.5 \mu \text{秒}$  程度にしなければならない場合には、n クロック (nPCLK) の周期を約  $217 \text{ n秒}$ 、すなわち、周波数を約  $4.6 \text{ MHz}$  にしても良い。



【0039】

〔実施の形態2〕

次に、隣接する各階調の画素の輝度差が全ての階調で等しくなるようにした本発明の実施の形態2について説明する。

【0040】

図10は、横軸に時間軸を、縦軸に発光輝度（正規化している）をとった従来の時間対発光輝度の関係を示す図である。

【0041】

このグラフ図において、隣接する各階調の画素の輝度差が常に等しくなるようにパルス幅変調するために、「画像データ値（階調）」が $(i-1)$ から $i$ に増加する時のパルス幅の増大値を $T_i$ とすると、 $i$ 番目の階調の画素を表示するときのパルス幅の増加分 $T_i$ は以下のように決定される。

【0042】

$$K' \text{ (一定)} = (T_i / \tau) \times (L_{i-1} + L_i) \times (1/2) \quad \dots (1)$$

ここで $K'$ は定数、 $T_i$ ： $i$ 番目のパルス幅の増加分、 $\tau$ ：フィールド（フレーム）周期、 $L_i$ ： $i$ 番目の発光輝度である。

【0043】

即ち、

$$K = T_i \times (L_{i-1} + L_i) \quad \dots (2)$$

（ここで $K$ は定数である）

となるようなパルス幅 $T_i$ を逐次決める。 $i$ が大きな数の時（図10において、例えば $5 \mu$ 秒以上に対応する $i$ であり、駆動波形の劣化のない部分）は、 $T_i$ の値として約 $220 \text{ n秒}$ と定めた。実際には、 $T_i$ の最小分解能を約 $110 \text{ n秒}$ と決め、式（2）がおおよそ成り立つために、 $i=1$ から逐次計算し、

$$T_1 = 660 \text{ n秒}$$

$$T_2 = 330 \text{ n秒}$$

$$T_3 = 330 \text{ n秒}$$

$$T_4 = 330 \text{ n秒}$$

：

$T_i = 220n$  秒 ( $i \geq 5$ )

以上のパルス幅を得た。

【0044】

尚、これらパルス幅の変化は、前述の実施の形態1の場合と同様に、PWMクロック発生器5と変調信号発生器6との協働により行われる。本実施の形態2と前述の実施の形態1との相違点はPWMクロック発生器5の構成の相違によるもので、他の構成要素については同じであるので、それら説明を省略する。

【0045】

図11は、本実施の形態2のPWMクロック発生器5の構成を示す回路図、図12はその動作を示すタイミング図である。

【0046】

図11において、52aはカウンタ、52bはデコーダ、52cはアンド回路で、それぞれ前述の図4の構成に対応している。

【0047】

図11において、前述したパルス幅の増加分である $T_i$ の最小分解能は約110n秒であるので、nクロック(nPCLK)は周期が約110n秒のクロック、即ち、約9.0MHzの周波数のクロックとしている。初めに、パルス幅変調の開始のタイミングでCLR信号によりカウンタ52aが“0”にリセットされ、このリセット後、カウンタ52aはnクロック(nPCLK)の立ち下がりに同期してカウントアップする。このカウンタ52aの出力(CountOUT)はデコーダ52bによりデコードされ、十進数表記で“0”，“6”，“9”，“12”，“15”，及びそれ以降はカウンタ52aの出力値が奇数の時に、デコーダ52bからハイレベルの信号(DecOUT)が出力される。このデコーダ52bの出力とnクロック(nPCLK)とがアンド回路52cによって論理積がとられられ、図12のタイミング図に示すようなPWMクロック(PCLK)として出力される。

【0048】

前述したように、変調信号発生部6は、シフトレジスタ4から入力した値に応じた数のPWMクロック(PCLK)をカウントし、それに応じたパルス幅の変調信号を出力するので、上述したパルス幅の増加量、 $T_1 = 660n$  秒、 $T_2 = 330$

$n$  秒,  $T3 = 330n$  秒,  $T4 = 330n$  秒,  $Ti = 220n$  秒 ( $i \geq 5$ ) に応じて、表示パネル 1 の各素子を、その入力した画像データに応じて駆動することができる。

【0049】

図 13 (A) (B) は、本発明の実施の形態 2 における入力値 (設定値) と発光輝度との関係を示す輝度特性を示す図で、図 13 (B) は図 13 (A) の一部拡大図で、903 は本実施の形態 2 における発光輝度特性を、904 は従来の発光輝度特性を示している。

【0050】

図 13 (A) では、横軸をパルス幅を決めるための入力データ (画像データ: 階調値) (8ビット: 256 階調)、縦軸を 256 階調で正規化した輝度を示す。図 13 (B) は、横軸の入力データを “0” から “32” まで、縦軸の発光輝度を “0” から “32” までで拡大して示している。この図 13 (B) から明らかなように、従来に比べて低輝度での階調の再現性が改善された。

【0051】

このように本実施の形態 2 によれば、良好に階調を再現した画像の表示が可能になり、特に従来問題となっていた暗い画像 (低輝度部分) における十分な階調の再現性 (輝度分解能) が得られた。

【0052】

尚、実施の形態 2 では、 $n$  クロック ( $nPCLK$ ) として PWM クロック ( $PCLK$ ) のクロック周波数の 2 倍の周波数を使用した。この実施の形態 2 では、 $n$  クロック ( $nPCLK$ ) 数が  $(256 \times 2 + 7)$  個必要なため、実際の駆動パルス ( $X1 \sim X480$ ) の最大時間は、 $約 110n \text{ 秒} \times 519 = 約 57 \mu \text{ 秒}$  となる。このパルス幅の最大値に問題がなければ、このままの周波数で実現して良いが、他に処理時間が必要である場合、例えば、パルス ( $X1 \sim X480$ ) の最大時間を  $約 56.5 \mu \text{ 秒}$  になくてはならない場合は、 $n$  クロック ( $nPCLK$ ) の周期を  $約 108.5n \text{ 秒}$ 、即ち、その周波数を  $約 9.2 \text{ MHz}$  にすれば良い。

【0053】

[実施の形態 3]

次に実施の形態 3 について以下に説明する。本実施の形態 3 と前述の実施の形態 2 との相違点は PWM クロック発生器 5 の構成が異なる点にあり、PWM クロック (PCLK) に関して他の構成要素が同じであるので、それらの説明を省略する。

#### 【0054】

図 14 は、本実施の形態 3 における PWM クロック発生器 5 の構成を示す回路図、図 15 は ROM 53b に記憶されているデータ構成を説明する図である。

#### 【0055】

図 14 において、53a はカウンタ、53b は出力が 1 ビット幅のリードオンリーメモリ (ROM) 等のメモリ、53c はアンド回路である。

#### 【0056】

図 14 において、 $n$  クロック ( $n$ PCLK) は、周期が約  $110n$  秒のクロック、即ち、周波数が約  $9.0\text{MHz}$  のクロックである。初めに、パルス幅変調処理の開始のタイミングで CLR 信号によりカウンタ 53a が “0” にリセットされる。このリセット後、カウンタ 53a は  $n$  クロック ( $n$ PCLK) の立ち下がりでカウントアップされる。このカウンタ 53a の出力は ROM 53b のアドレスとして入力される。この ROM 53b の出力は、カウンタ 53a の値が十進数表記で “0”, “6”, “9”, “12”, “15” そしてそれ以降は出力が奇数の時にハイレベルの信号をアンド回路 53c に出力する。このときの信号のタイミングは前述の図 12 に示す場合と同様となる。

#### 【0057】

このように本実施の形態 3 によれば、前述の実施の形態 2 と同様に、各階調に応じて、その増加するパルス幅を、 $T1=660n$  秒、 $T2=330n$  秒、 $T3=330n$  秒、 $T4=330n$  秒、 $Ti=220$  秒 ( $i \geq 5$ ) とすることができ、前述の図 13 (A) (B) の場合と同様な発光輝度特性が得られ、前述の実施の形態 2 と同様の効果が得られる。

#### 【0058】

#### [実施の形態 4]

次に本発明の実施の形態 4 について説明する。本実施の形態 4 の構成と前述の

実施の形態との相違点は、PWMクロック発生器5の構成の違いにあり、他の構成要素、PWMクロック(PCLK)については同じであるので、それらの説明を省略する。

## 【0059】

図16は、本実施の形態4におけるPWMクロック発生器5の構成を示す回路図である。

## 【0060】

図16において、54a-0, 54a-1, ..., 54a-518, 54a-519のそれぞれはD型フリップフロップである。54bはセクタであり、54cは予め所定のデータが記憶されている、例えばマスクROMなどのメモリである。

## 【0061】

図16において、PWMクロック(PCLK)は以下のようにつくられる。nクロック(nPCLK)は周期が $1/10n$ 秒のクロック、即ち、周波数が約9.0MHzのクロックである。初めに各セクタ54bは接点b側に接続されており、マスクROMなどのメモリ54cからのデータをD型フリップフロップ54a-0, 54a-1, ..., 54a-518, 54a-519のそれぞれに入力するようになっている。こうして各フリップフロップにメモリ54cからのデータが入力されると、各セクタ54bが接点a側に接続するように替えられる。次にnクロック(nPCLK)が入力されると、これらフリップフロップはシフトレジスタとして動作し、順次、フリップフロップ54a-0のデータから順次、パルス幅変調(PWM)クロック(PCLK)として出力される。

## 【0062】

尚、ここで、メモリ54cに記憶されている各データは、前述の図15に示すようなデータと同一である。また、このメモリ54cのアドレス空間は、D型フリップフロップ54a-0, 54a-1, ..., 54a-518, 54a-519に対応して、“0”から“519”迄の範囲を取り得る。こうして出力されるPWMクロック(PCLK)は、前述の実施の形態2の場合と全く同じであり、前述の実施の形態2と同様な効果が得られることになる(図13(A)(B)参照)。

## 【0063】

また、前述の実施の形態 2～4 では、 $n$  クロック ( $n$ PCLK) として PWM クロック (PCLK) のクロック周波数の 2 倍の周波数を使用した。例えば、3 倍や 4 倍の周波数や他の周波数を使用しても良い。その場合、クロック周波数が高くなることによりハードウェアの設計制約は増えるが、より精度良く式 (2) が成り立ち、階調の再現性がさらに改善される。

## 【0064】

## [変調信号発生部 6 の他の構成例]

前述した各実施の形態では、変調信号発生部 6 は、図 2 に示したようにダウンカウンタを使用した。例えば図 17 に示すように、アップカウンタ 62a と比較器 62c 及びラッチ 62b で構成しても良い。

## 【0065】

図 18 は、図 17 の構成における変調信号発生部 6 の動作を示すタイミング図である。

## 【0066】

図 17 において、ラッチ 62b は、シフトレジスタ 5 からの出力デジタルデータ (XD1～XD480) をロード信号 (Ld) でラッチする。一方、アップカウンタ 62a は、PWM クロック (PCLK) の立ち下がりに同期して“0”からカウントアップする。そして、比較器 62c により、ラッチ 62b にロードされた値とカウンタ 62a のカウント値とを比較し、これら 2 つの値が等しくなるまで信号 (PWMout) を出力する。図 18 は、ラッチ 62b に値「p」がセットされた場合のパルス幅変調出力のタイミングを示している。この構成によっても、PWM クロック (PCLK) の数がシフトレジスタ 4 から入力される値に等しくなるまでの時間で決まるパルス幅変調した変調信号を出力することが可能である。当然この構成は、本発明の実施の形態 1～4 にも対応できる。

## 【0067】

## (PWM クロック (PCLK) パルス幅の他の決定法)

また前述の本実施の形態では、PWM クロック (PCLK) パルス幅を、入力される画像データの輝度に基づいて決定した。しかし、他の輝度に相関のあるパラメータ (例えば、放出電流値や素子電流値) 等から決定しても同様な効果が期待で

きる。当然、このPWM信号の決定法は、前述した本発明の実施の形態1～4にも適用できる。

## 【0068】

(その他の実施の形態)

また、本発明の実施の形態は、冷陰極電子放出素子で構成する例で説明したが、むろん、いずれの電子放出素子に対しても適用できる。例えば、前記冷陰極型電子源は、表面伝導型放出素子、或は、FE型放出素子、或は、MIM型放出素子等で構成されていても問題なく適応できる。

## 【0069】

本発明の実施の形態に係わる画像表示装置は、基本的には薄型の真空容器内に、基板上に多数の電子源、例えば冷陰極素子を配列してなるマルチ電子源と、電子の照射により画像を形成する画像形成部材とを対向して備えている。

## 【0070】

これら冷陰極素子は、例えばフォトリソグラフィ・エッチングのような製造技術を用いれば基板上に精密に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来からCRT等で用いられてきた熱陰極と比較すると、陰極自身やその周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。

## 【0071】

また、冷陰極素子の中でもとりわけ好ましいのは、表面伝導型放出素子(SCE)である。即ち、冷陰極素子のうち、MIM型素子は絶縁層や上部電極の厚さを比較的精密に制御する必要があり、またFE型素子は針状の電子放出部の先端形状を精密に制御する必要がある。そのため、これらの素子は、比較的製造コストが高くなったり、製造プロセス上の制限から大面積のものを作製するのが困難となる場合があった。これに対して、SCEは構造が単純で製造が簡単であり、大面積のものも容易に作製できる。近年、特に大画面で安価な表示装置が求められる状況においては、とりわけ好適な冷陰極素子であるといえる。

## 【0072】

(表示パネルの構成と製造法)

次に、本発明の実施の形態に適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

【0073】

図19は、本実施の形態の表示パネル1000の外観斜視図であり、その内部構造を示すために表示パネル1000の1部を切り欠いて示している。

【0074】

図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、400℃～500℃で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。

【0075】

リアプレート1005には、基板1001が固定されているが、この基板1001上には表面伝導型放出素子1002が $N \times M$ 個形成されている（ここで $N$ 、 $M$ は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $N=3000$ 、 $M=1000$ 以上の数を設定することが望ましい。本実施の形態においては、 $N=3072$ 、 $M=1024$ とした）。前記 $N \times M$ 個の表面伝導型放出素子1002は、 $M$ 本の行方向配線1003と $N$ 本の列方向配線1004により単純マトリクス配線されている。前記1001～1004によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0076】

本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板1001を固定する構成としたが、マルチ電子源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1001自体を用いてもよい。



## 【0077】

また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態の表示パネル1000はカラー表示用であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤(R)、緑(G)、青(B)の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図20(A)に示すようにストライプ状に塗り分けられ、各色の蛍光体のストライプの間には黒色の導電体1010が設けてある。この黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、更には電子ビームによる蛍光膜のチャージアップを防止するためなどである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

## 【0078】

また、3原色の蛍光体の塗り分け方は図20(A)に示したストライプ状の配列に限られるものではなく、例えば図20(B)に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

## 【0079】

また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。このメタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させるため、負イオンの衝突から蛍光膜1008を保護するため、電子ビーム加速電圧を印加するための電極として作用させるため、蛍光膜1008を励起した電子の導電路として作用させるためなどである。このメタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化处理し、その上にアルミニウムを真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

## 【0080】

また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えばITOを材料とする透明電極を設けてもよい。

## 【0081】

また、 $Dx1 \sim DxM$ および $Dy1 \sim DyN$ および $Hv$ は、当該表示パネル1000と不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim DxM$ はマルチ電子源の行方向配線1003と、 $Dy1 \sim DyN$ はマルチ電子源の列方向配線1004と、 $Hv$ はフェースプレートのメタルバック1009とそれぞれ電氣的に接続している。

## 【0082】

また、気密容器内部を真空中に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、例えばBaを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は $1 \times 10$ のマイナス5乗ないしは $1 \times 10$ のマイナス7乗[torr]の真空度に維持される。

## 【0083】

以上、本発明の実施の形態の表示パネル1000の基本構成と製法を説明した。

## 【0084】

次に、この実施の形態の表示パネル1000に用いたマルチ電子源の製造方法について説明する。本実施の形態の画像表示装置に用いるマルチ電子源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら、本願発明者らは、表面伝導型放出素子の中では、電子放出部もしくはその周辺部を微粒子膜から形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見出している。

したがって、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

## 【0085】

(表面伝導型放出素子の好適な素子構成と製法)

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

## 【0086】

(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図21に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(A)および断面図(B)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

## 【0087】

基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に、例えばSiO<sub>2</sub>を材料とする絶縁層を積層した基板などを用いることができる。

## 【0088】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいはIn<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ

、エッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形成してもさしつかえない。

## 【0089】

素子電極 1102 と 1103 の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔  $L$  は通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さ  $d$  については、通常は数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

## 【0090】

また、導電性薄膜 1104 の部分には微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

## 【0091】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは 10 オングストロームから 200 オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極 1102 或は 1103 と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは 10 オングストロームから 500 オングストロームの間である。

## 【0092】

また、微粒子膜を形成するのに用いられうる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb などをはじめとする金属や、PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>

O3などをはじめとする酸化物や、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、GdB<sub>4</sub>などをはじめとする硼化物や、TiC、ZrC、HfC、TaC、SiC、WCなどをはじめとする炭化物や、TiN、ZrN、HfN、などをはじめとする窒化物や、Si、Ge、などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

## 【0093】

以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[オーム/□]の範囲に含まれるよう設定した。

## 【0094】

なお、導電性薄膜1104と素子電極1102および1103とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図21の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

## 【0095】

また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。この亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図21においては模式的に示した。

## 【0096】

また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

## 【0097】

薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン

、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図21においては模式的に示した。また、平面図(A)においては、薄膜1113の一部を除去した素子を図示した。

#### 【0098】

以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。すなわち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000 [オングストローム]、電極間隔Lは2 [マイクロメータ] とした。

#### 【0099】

微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [マイクロメータ] とした。

#### 【0100】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図22(a)～(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図21と同一である。

#### 【0101】

(1) まず、図22(a)に示すように、基板1101上に素子電極1102および1103を形成する。これら電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる(堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターンニングし、(a)に示した一对の素子電極(1102と1103)を形成する。

#### 【0102】

(2) 次に、同図(b)に示すように、導電性薄膜1104を形成する。この導電性薄膜1104を形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグ

ラフィー・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である（具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい）。

#### 【0103】

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

#### 【0104】

(3) 次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

#### 【0105】

通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分（すなわち電子放出部1105）においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

#### 【0106】

この通電方法をより詳しく説明するために、図23に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合にはパルス状の電圧が好ましく、本実施の形態の場合には同図に示すように、パルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際、三角波パルスの波高値V<sub>pf</sub>を、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルスP<sub>m</sub>を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した

## 【0107】

本実施の形態においては、例えば10のマイナス5乗 [torr] 程度の真空雰囲気下において、例えばパルス幅  $T_1$  を1 [ミリ秒]、パルス間隔  $T_2$  を10 [ミリ秒] とし、波高値  $V_{pf}$  を1パルスごとに0.1 [V] ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニタパルス  $P_m$  を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧  $V_{pm}$  は0.1 [V] に設定した。そして、素子電極1102と1103の間の電気抵抗が  $1 \times 10$  の6乗 [オーム] になった段階、すなわちモニタパルス印加時に電流計1111で計測される電流が  $1 \times 10$  のマイナス7乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

## 【0108】

なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔  $L$  など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

## 【0109】

(4) 次に、図22 (d) に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した)。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

## 【0110】

具体的には、10のマイナス4乗ないし10のマイナス5乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物



1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下、より好ましくは300 [オングストローム] 以下である。

#### 【0111】

通電方法をより詳しく説明するために、図24 (a) に、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 $V_{ac}$ は14 [V]，パルス幅 $T_3$ は、1 [ミリ秒]，パルス間隔 $T_4$ は10 [ミリ秒]とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

#### 【0112】

図22 (d) に示す1114は、該表面伝導型放出素子から放出される放出電流 $I_e$ を捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている。(なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる)。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 $I_e$ を計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流 $I_e$ の一例を図24 (b) に示す。活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 $I_e$ は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 $I_e$ がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

#### 【0113】

なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

#### 【0114】

以上のようにして、図22 (e) に示す平面型の表面伝導型放出素子を製造し

た。

#### 【0115】

(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

#### 【0116】

図25は、本実施の形態の垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。

#### 【0117】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図21の平面型における素子電極間隔 $L$ は、垂直型においては段差形成部材1206の段差高 $L_s$ として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えば $\text{SiO}_2$ のような電氣的に絶縁性の材料を用いる。

#### 【0118】

次に、垂直型の表面伝導型放出素子の製法について説明する。図26(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は前記図25と同一である。

#### 【0119】

(1) まず、図26(a)に示すように、基板1201上に素子電極1203を形成する。

#### 【0120】

(2) 次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えば  $\text{SiO}_2$  をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0121】

3) 次に、同図 (c) に示すように、絶縁層の上に素子電極 1202 を形成する。

【0122】

4) 次に、同図 (d) に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極 1203 を露出させる。

【0123】

5) 次に、同図 (e) に示すように、微粒子膜を用いた導電性薄膜 1204 を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0124】

6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する (図 22 (c) を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0125】

(7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる (図 22 (d) を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0126】

以上のようにして、図 26 (f) に示す垂直型の表面伝導型放出素子を製造した。

【0127】

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0128】

図 27 に、本実施の形態の表示装置に用いた素子の（放出電流  $I_e$ ）対（素子印加電圧  $V_f$ ）特性、および（素子電流  $I_f$ ）対（素子印加電圧  $V_f$ ）特性の典型的な例を示す。なお、放出電流  $I_e$  は素子電流  $I_f$  に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

## 【0129】

表示装置に用いた素子は、放出電流  $I_e$  に関して以下に述べる 3 つの特性を有している。

## 【0130】

第一に、ある電圧（これを閾値電圧  $V_{th}$  と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流  $I_e$  が増加するが、一方、閾値電圧  $V_{th}$  未満の電圧では放出電流  $I_e$  はほとんど検出されない。すなわち、放出電流  $I_e$  に関して、明確な閾値電圧  $V_{th}$  を持った非線形素子である。

## 【0131】

第二に、放出電流  $I_e$  は素子に印加する電圧  $V_f$  に依存して変化するため、電圧  $V_f$  で放出電流  $I_e$  の大きさを制御できる。

## 【0132】

第三に、素子に印加する電圧  $V_f$  に対して素子から放出される電流  $I_e$  の応答速度が速いため、電圧  $V_f$  を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

## 【0133】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0134】

また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

【0135】

(多数素子を単純マトリクス配線したマルチ電子源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0136】

図28に示すのは、前記図19の表示パネル1000に用いたマルチ電子源の平面図である。基板1001上には、前記図21で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

【0137】

図28のA-A'に沿った断面を図29に示す。

【0138】

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0139】

図30は、前記説明の表面伝導型放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。図中、1000は上述したディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、21

06はCPU、2107は画像生成回路、2108および2109および2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。なお、本実施の形態の表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。

#### 【0140】

以下、画像信号の流れに沿って各部の機能を説明してゆく。

#### 【0141】

まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

#### 【0142】

画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2110は、ビデオテープレコーダ（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2109は、ビデオディス

クに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2104に出力される。

#### 【0143】

また、入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

#### 【0144】

画像生成回路2107は、前記入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

#### 【0145】

CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作

を適宜制御する。

【0146】

前記画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。なお、CPU2106は、むろんこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0147】

入力部2114は、前記CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0148】

デコーダ2104は、前記2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0149】

マルチプレクサ2103は、前記CPU2106より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ2103はデコーダ2104から入力される逆変換された画像信号のうちから所望の画像信



号を選択して駆動回路 2101 に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

#### 【0150】

ディスプレイパネルコントローラ 2102 は、前記 CPU 2106 より入力される制御信号に基づき駆動回路 2101 の動作を制御するための回路である。まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路 2101 に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路 2101 に対して出力する。また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 2101 に対して出力する場合もある。

#### 【0151】

駆動回路 2101 は、ディスプレイパネル 1000 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 2103 から入力される画像信号と、前記ディスプレイパネルコントローラ 2102 より入力される制御信号に基づいて動作するものである。

#### 【0152】

以上、各部の機能を説明したが、図 30 に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル 1000 に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 2104 において逆変換された後、マルチプレクサ 2103 において適宜選択され、駆動回路 2101 に入力される。一方、ディスプレイコントローラ 2102 は、表示する画像信号に応じて駆動回路 2101 の動作を制御するための制御信号を発生する。駆動回路 2101 は、上記画像信号と制御信号に基づいてディスプレイパネル 1000 に駆動信号を印加する。これにより

、ディスプレイパネル1000において画像が表示される。これらの一連の動作は、CPU2106により統括的に制御される。

【0153】

また、本表示装置においては、前記デコーダ2104に内蔵する画像メモリや、画像生成回路2107およびCPU2106が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施の形態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0154】

したがって本実施の形態の表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0155】

なお、上記図30は、表面伝導型放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図30の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0156】

本表示装置においては、とりわけ表面伝導型放出素子を電子源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子源とするディスプレイ

パネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

## 【0157】

以上説明したように本実施の形態によれば、

マトリクス状に配列した複数の表面伝導型放出素子のそれぞれを、画像信号に応じたパルス幅変調信号により駆動し、その際、駆動波形のパルス波高値が安定する以前の一階調の増加に対するパルス幅変調信号のパルス幅の増加時間を、パルス波高値が安定した後の一階調増加に対するパルス幅変調信号のパルス幅の増加時間より長くすることにより、低輝度部における発光特性を高めることができる。

## 【0158】

また、画像信号の一階調の増加に対する輝度の変動量が、どの階調でもほぼ等しくなるようにパルス幅変調の時間を決めることにより、低輝度時の階調性を良好に保つことができる画像表示装置を最小限のハードウェアの増加で実現するものである。

## 【0159】

特に、大きなサイズのマトリクス画像表示パネルでは、配線が長くなることにより静電容量が大きくなり、そのため駆動波形の立ち上がりが更に鈍ることが予想される。その場合に本実施の形態の装置及び方法によれば、そのような不具合を解消できるという効果がある。

## 【0160】

## 【発明の効果】

以上説明したように本発明によれば、入力画像データに応じた輝度の画像を形成して階調の再現性を高めた画像形成方法及び装置を提供できる。

## 【0161】

また本発明によれば、特に低輝度時の階調性を良好に維持できるという効果がある。

## 【0162】

また本発明によれば、入力した画像データをパルス幅変調し、その変調した信

号に応じて画像データの階調に応じた画像を形成できるという効果がある。

【0163】

【図面の簡単な説明】

【図1】

本発明の実施の形態の画像表示装置の構成を示すブロック図である。

【図2】

本発明の実施の形態1の変調信号発生部の構成を示すブロック図である。

【図3】

実施の形態1の変調信号発生部における動作タイミング図である。

【図4】

実施の形態1のPWMクロック発生器の構成を示す図である。

【図5】

実施の形態1のPWMクロック発生器における動作を示すタイミング図である。

【図6】

本発明の実施の形態1の画像表示装置の動作を示すタイミング図である。

【図7】

従来例の表示パネルの駆動信号の波形図である。

【図8】

従来の駆動信号における立上がりの遅れに起因する問題点を説明する図である。

【図9】

本実施の形態1による入力データ対発光輝度の関係を示すグラフ図である。

【図10】

素子の駆動時間と発光輝度との関係を示すグラフ図である。

【図11】

本発明の実施の形態2のPWMクロック発生器の構成を示すブロック図である。

【図12】

本実施の形態 2 の P W M クロック発生器の動作を示すタイミング図である。

【図 1 3】

本実施の形態 2 における入力データと発光輝度との関係を示すグラフ図である。

【図 1 4】

本発明の実施の形態 3 の P W M クロック発生器の構成を示すブロック図である。

【図 1 5】

本実施の形態 3 の R O M のデータ構成を説明する図である。

【図 1 6】

本発明の実施の形態 4 の P W M クロック発生器の構成を示すブロック図である。

【図 1 7】

変調信号発生部の他の実施の形態の構成を示すブロック図である。

【図 1 8】

図 1 7 の変調信号発生部の動作タイミングを示すタイミング図である。

【図 1 9】

本発明の実施の形態の画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 2 0】

表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図 2 1】

本実施の形態で用いた平面型の表面伝導型放出素子の平面図（A），断面図（B）である。

【図 2 2】

本実施の形態の平面型の表面伝導型放出素子の製造工程を示す図である。

【図 2 3】

本実施の工程における通電フォーミング処理の際の印加電圧波形を示す図である。

【図 24】

本実施の形態の通電活性化処理の際の印加電圧波形（a），放電電流  $I_e$  の変化（b）を示す図である。

【図 25】

本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図 26】

垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図 27】

本実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図 28】

本実施の形態で用いたマルチ電子源の基板の平面図である。

【図 29】

本実施の形態で用いたマルチ電子源の基板の一部断面図である。

【図 30】

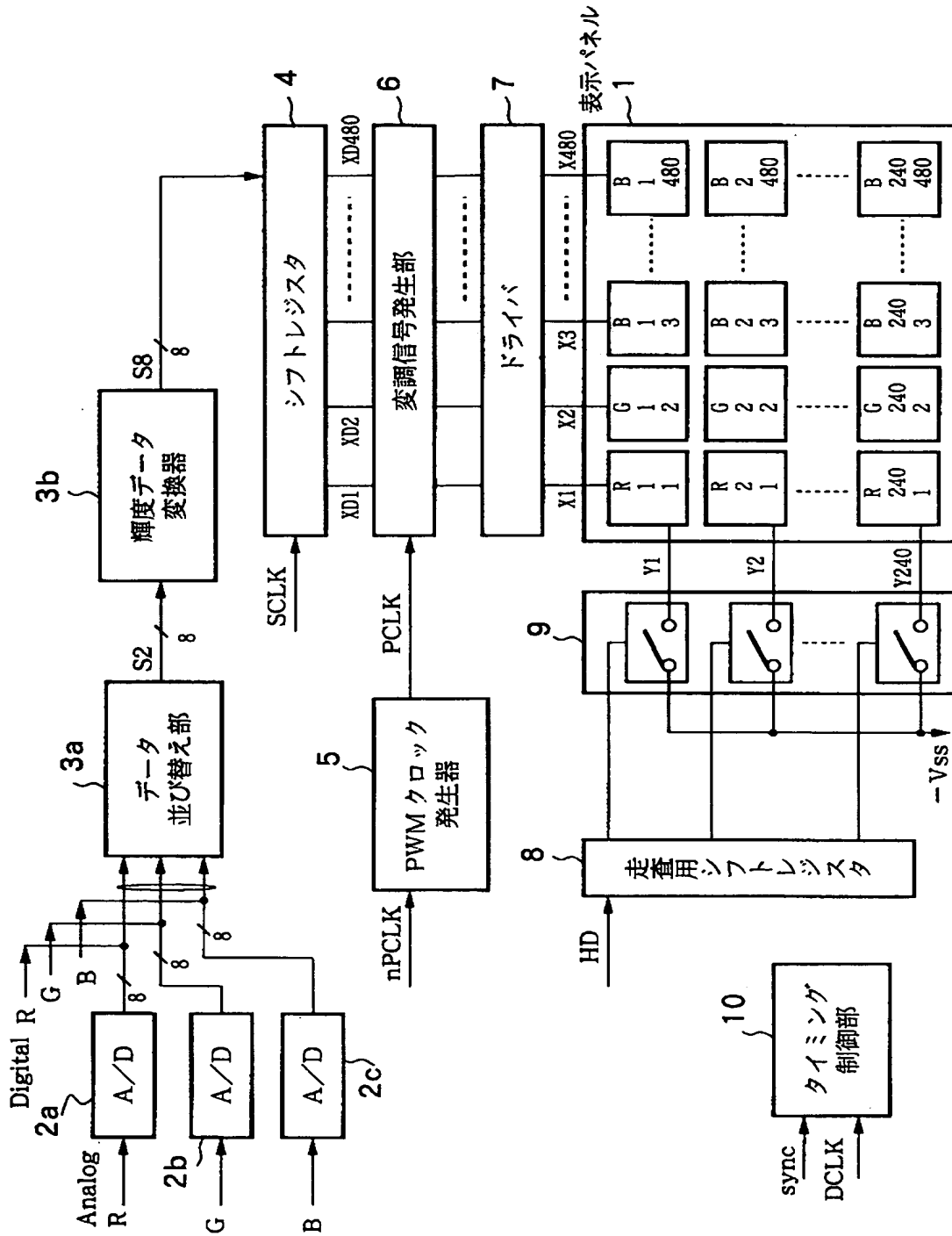
本発明の実施の形態である画像表示装置を用いた多機能画像表示装置のブロック図である。

【符号の説明】

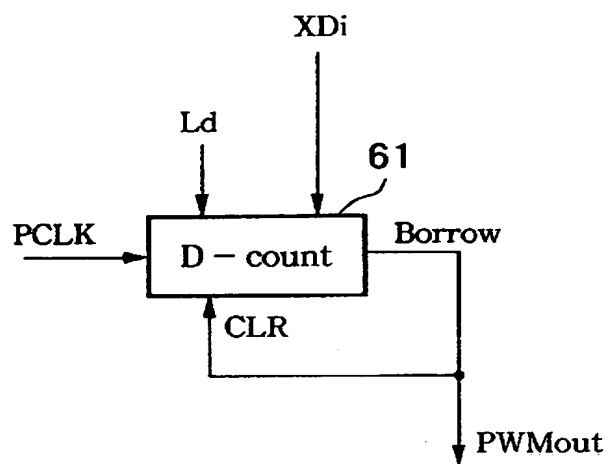
- 1, 1000 表示パネル
- 2a～2c アナログデジタル変換器
- 3a データ並び替え部
- 3b 輝度データ変換器
- 4 シフトレジスタ
- 5 PWMクロック発生器
- 6 変調信号発生部
- 7 水平駆動ドライバ
- 8 走査シフトレジスタ
- 9 走査信号駆動ドライバ
- 10 タイミング制御部

【書類名】 図面

【図 1】

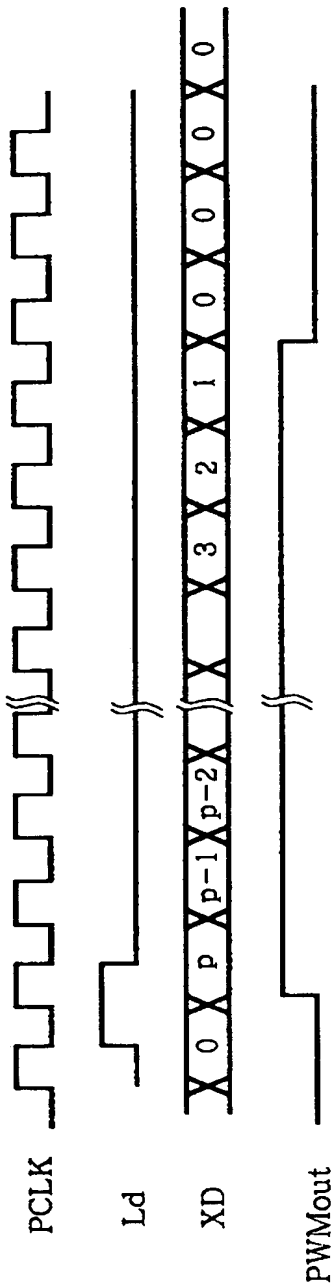


【図 2】

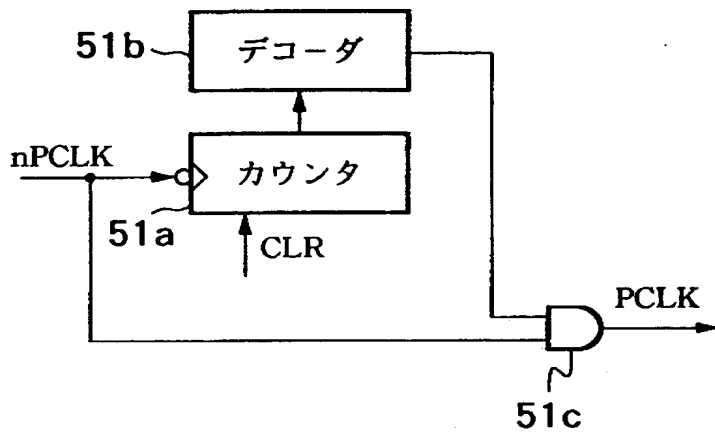




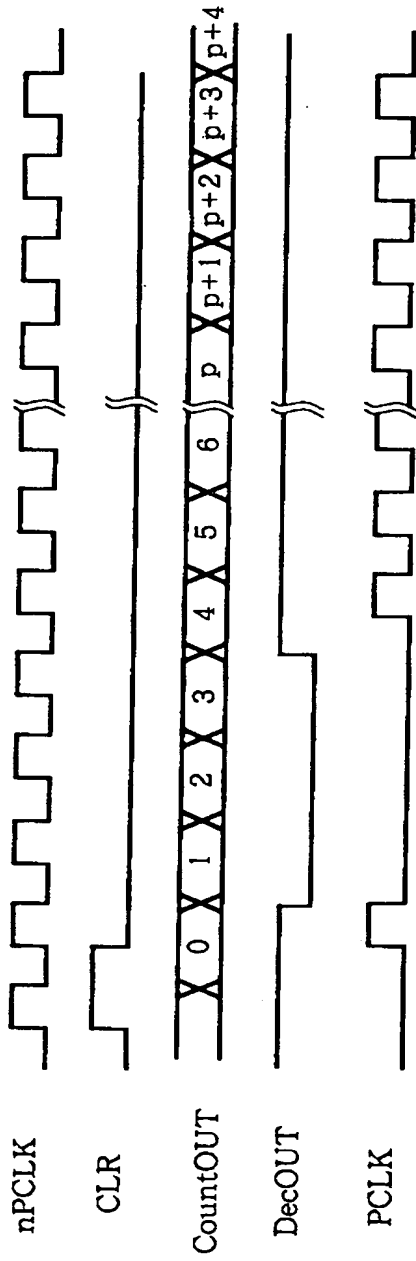
【図 3】



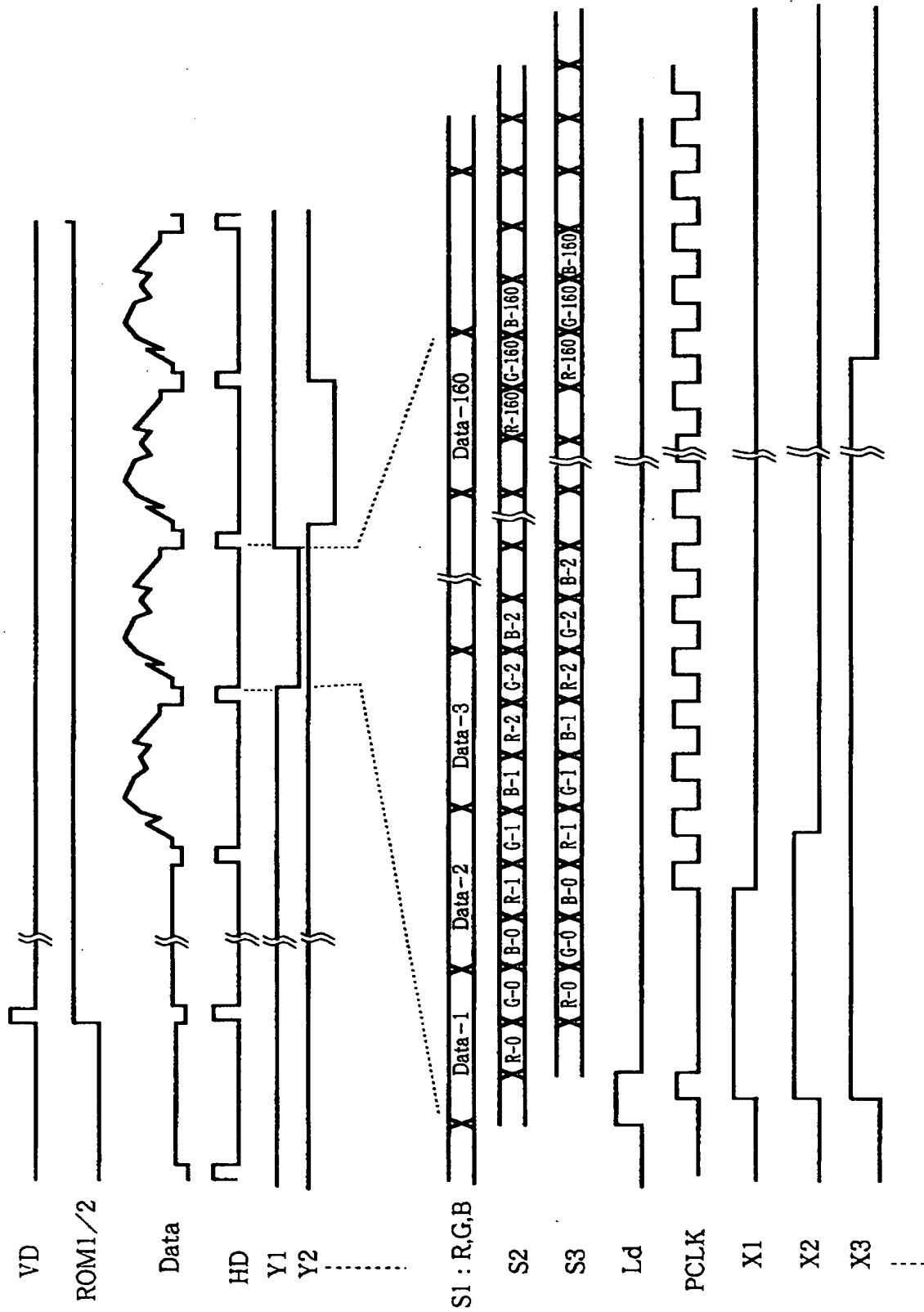
【図4】



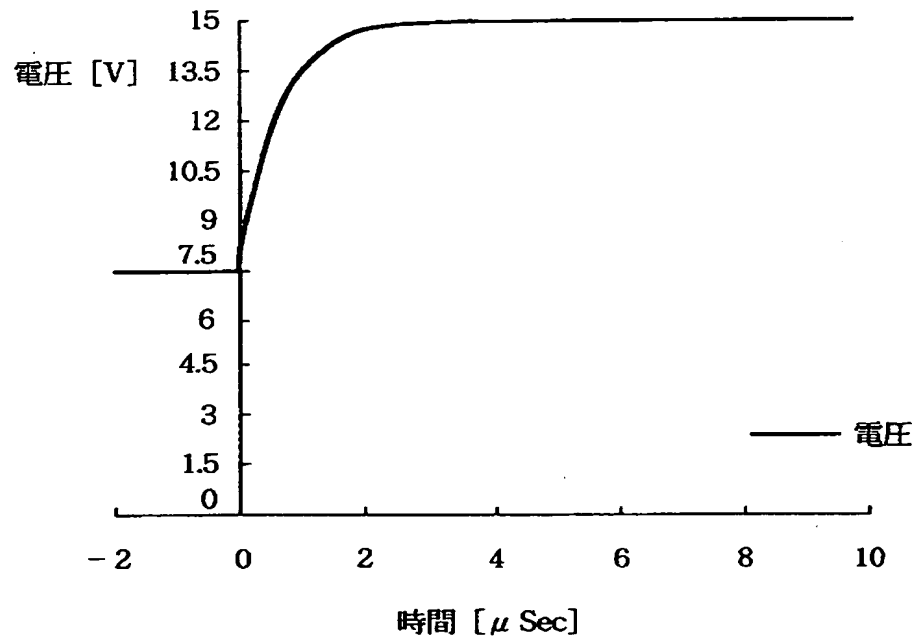
【图 5】



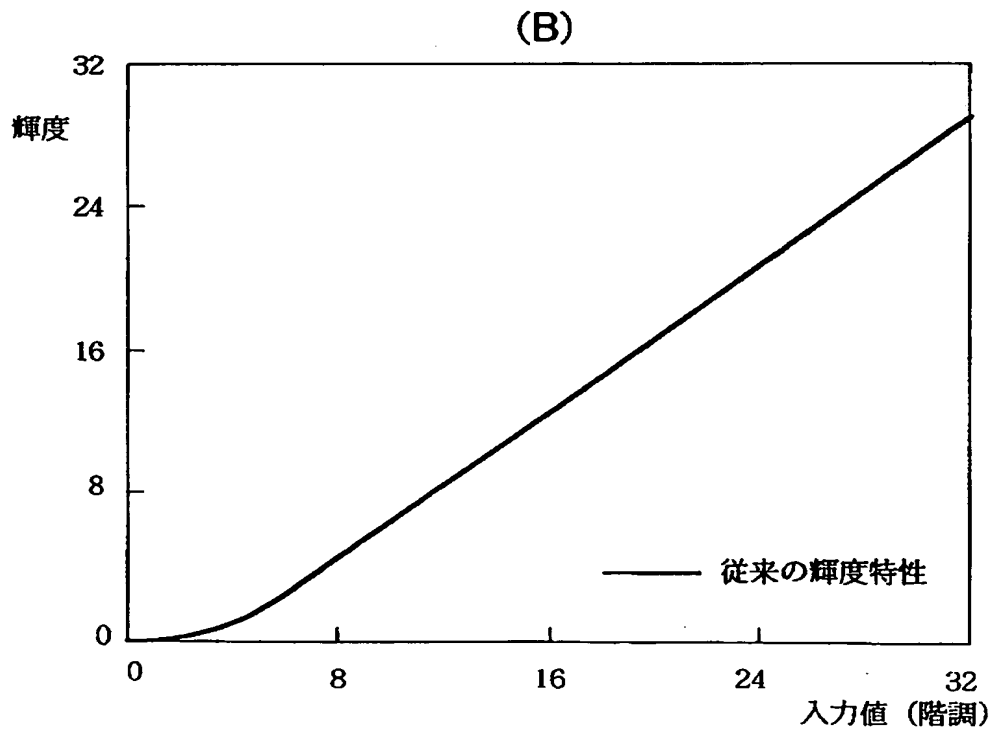
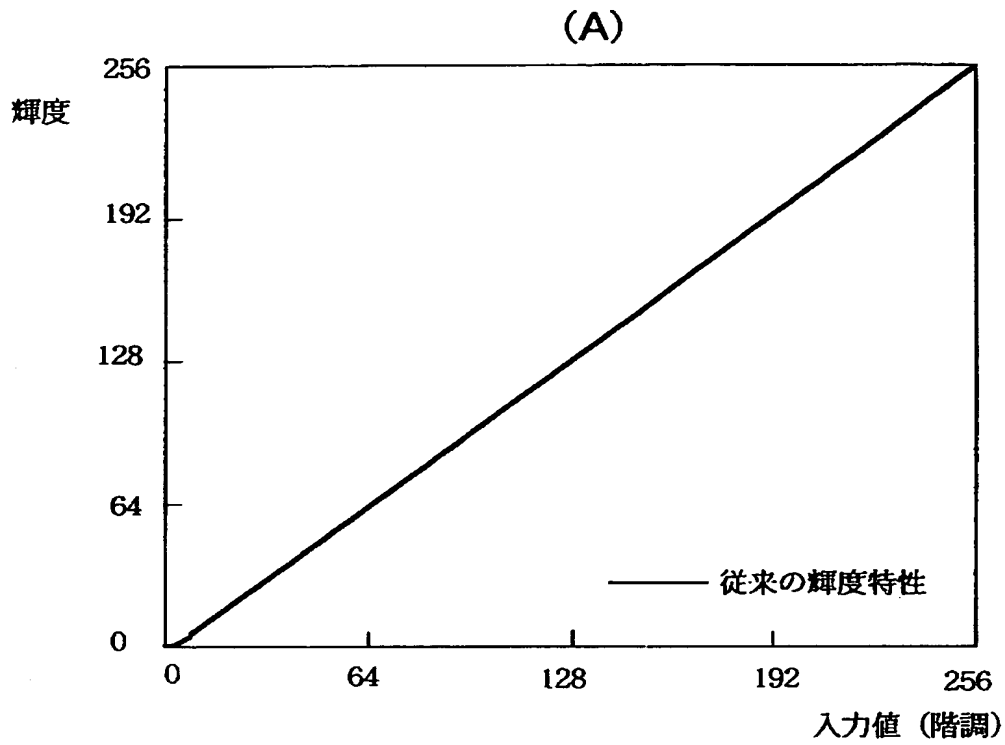
【图 6】



【図 7】

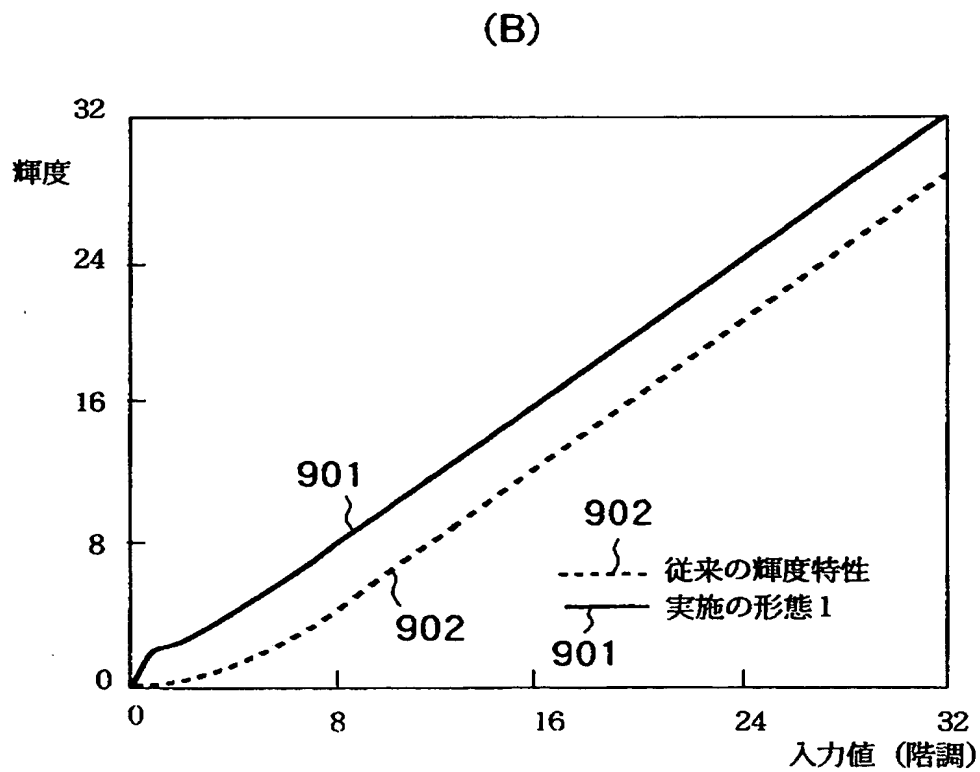
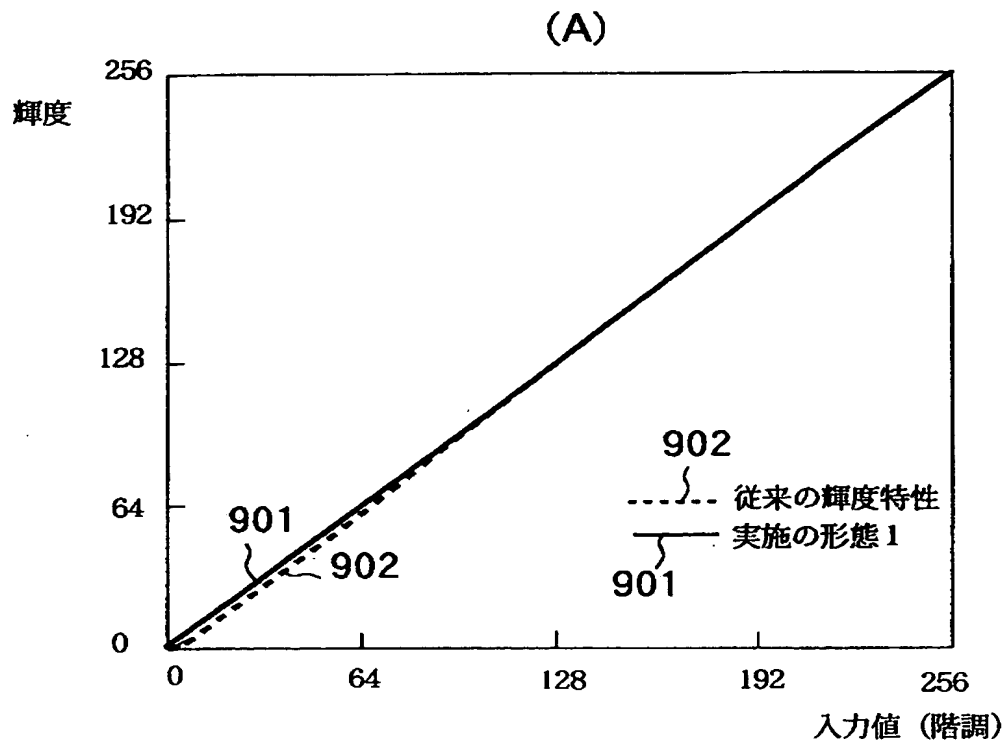


【図 8】



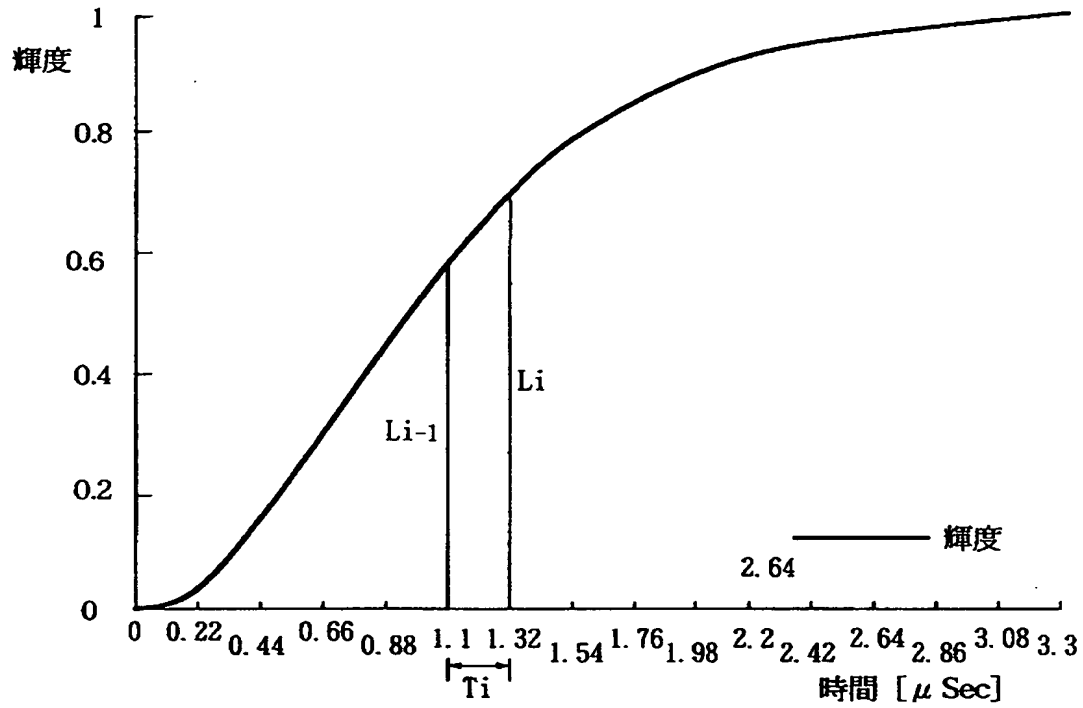
●  
特平 1 0 — 0 3 3 3 6 9

【図 9】

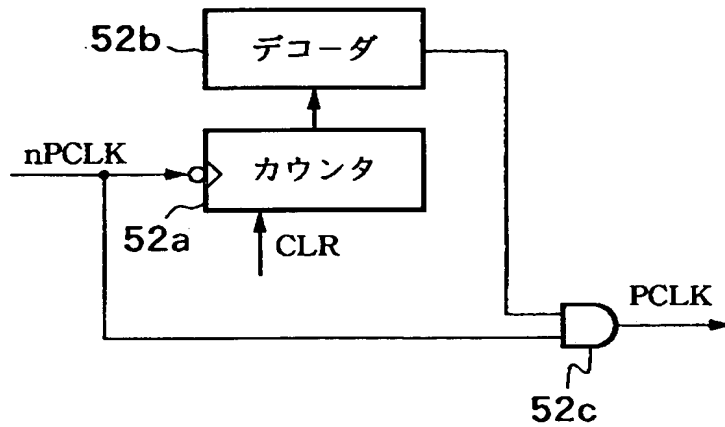




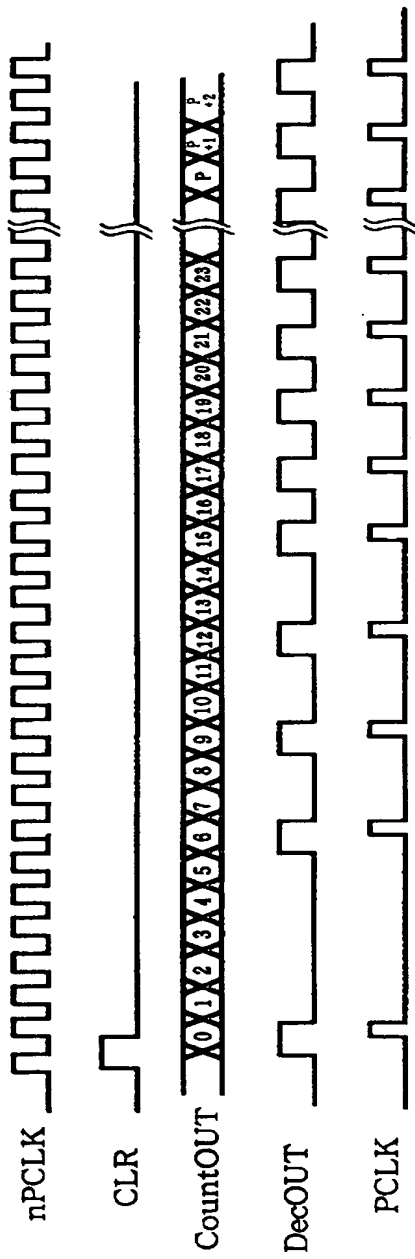
【図 10】



【図 11】

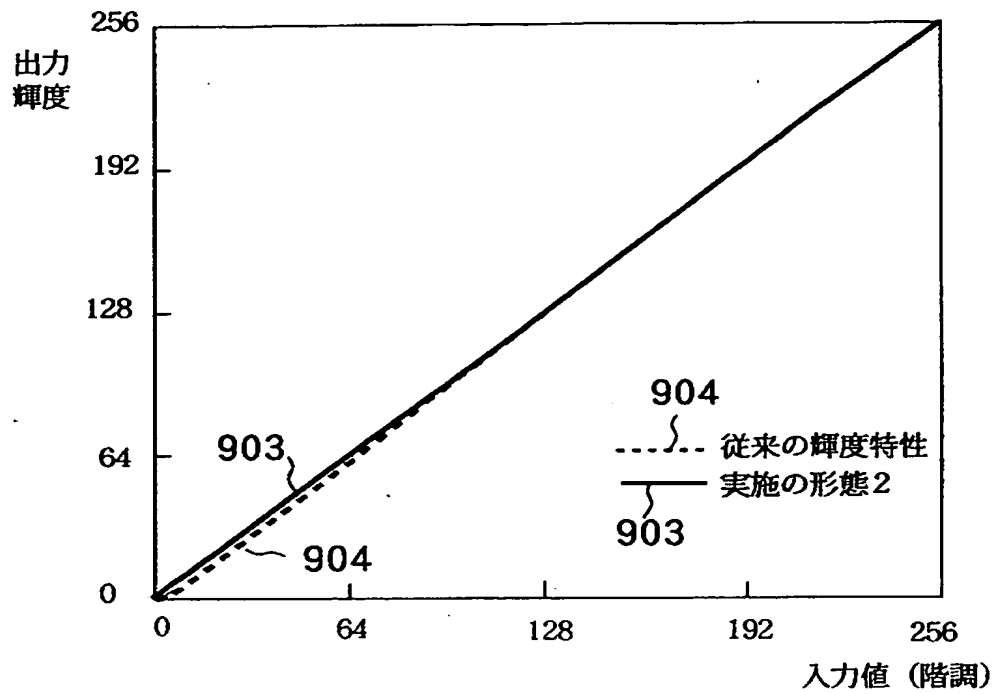


【図 1 2】

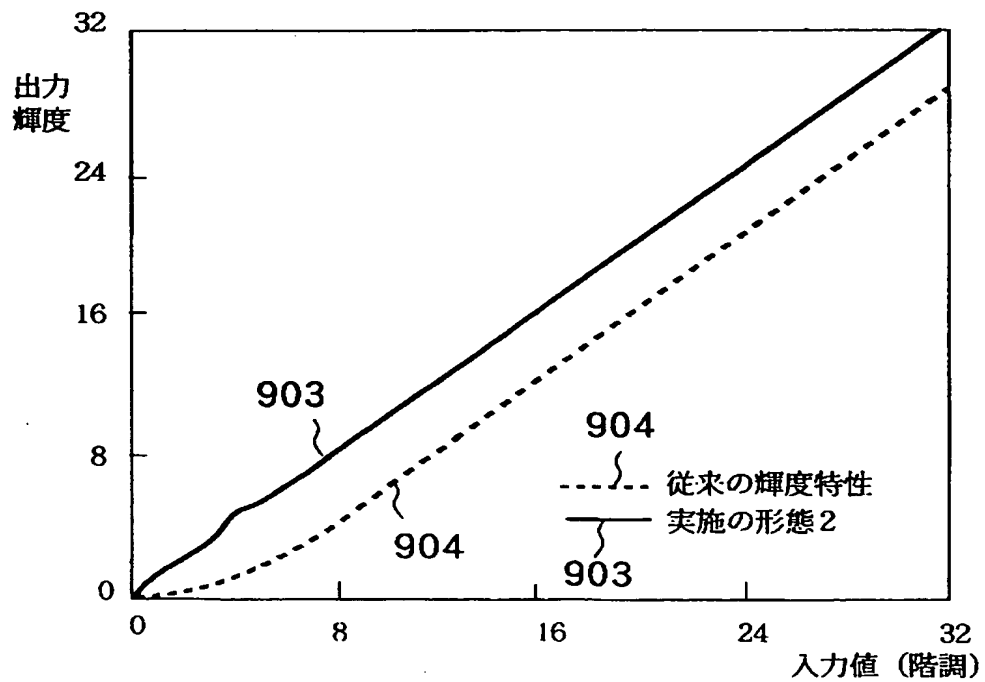


【図 1 3】

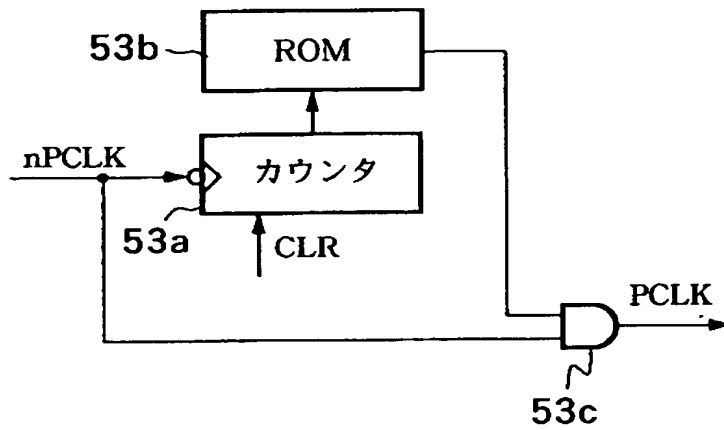
(A)



(B)



【図 14】

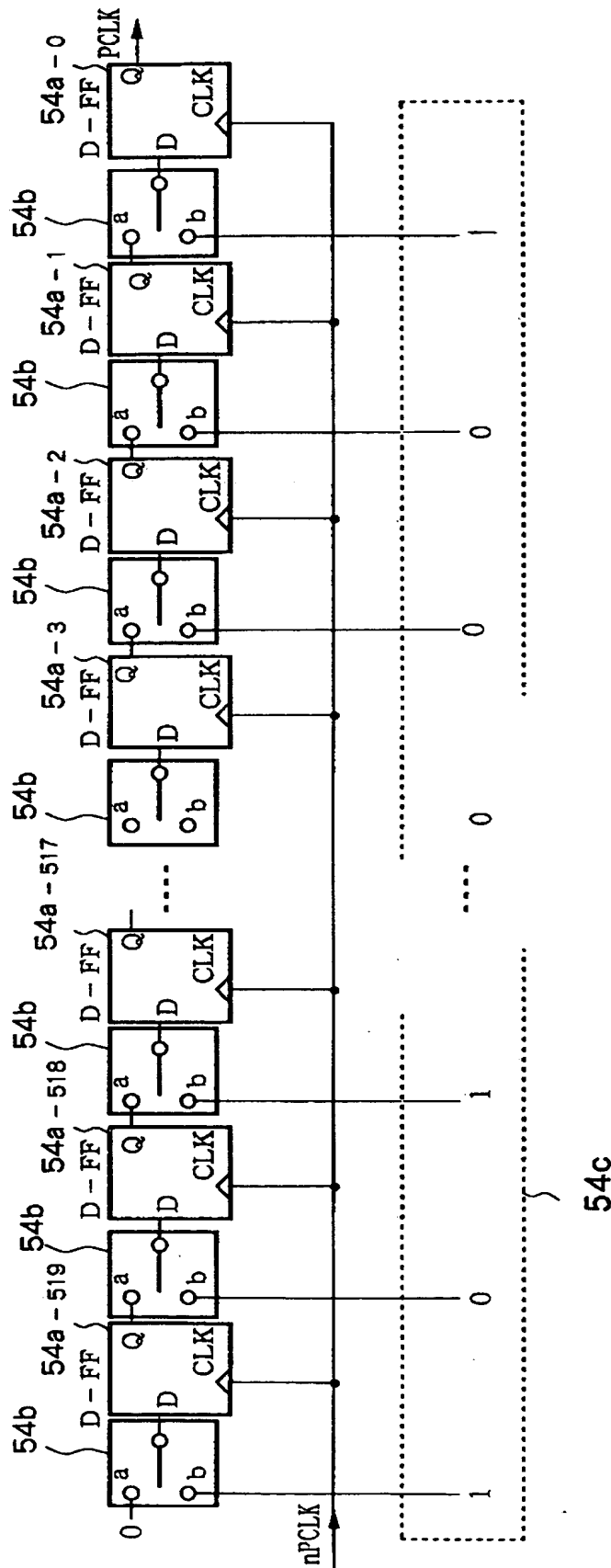


【図 15】

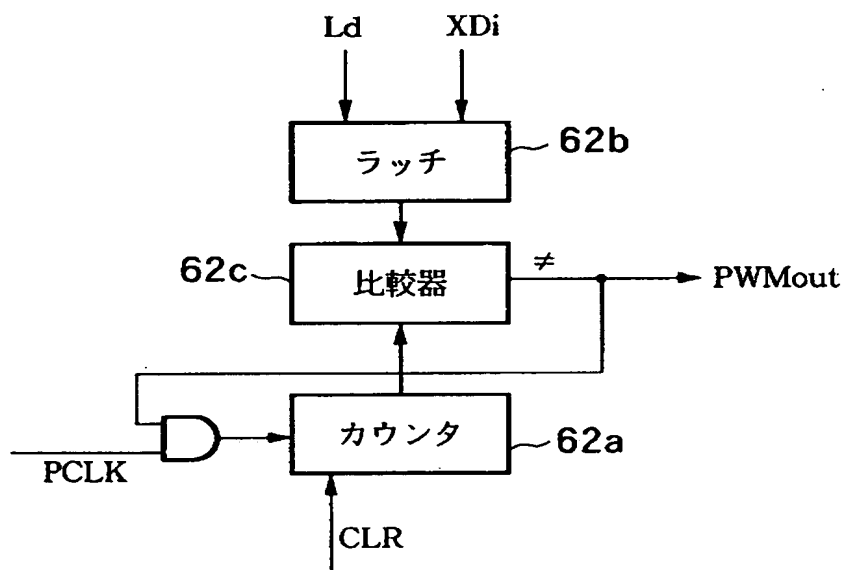
ROMの出力が“H”レベルであるアドレスを示す  
(他のアドレスのデータは“L”レベル)

0
6
9
12
15
17
17 から 519 以降奇数アドレス

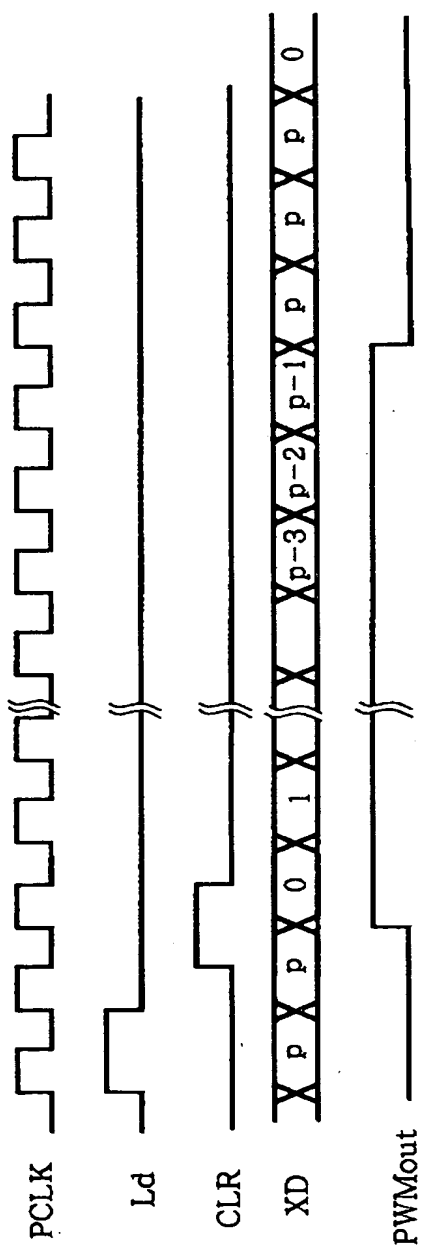
【図 16】



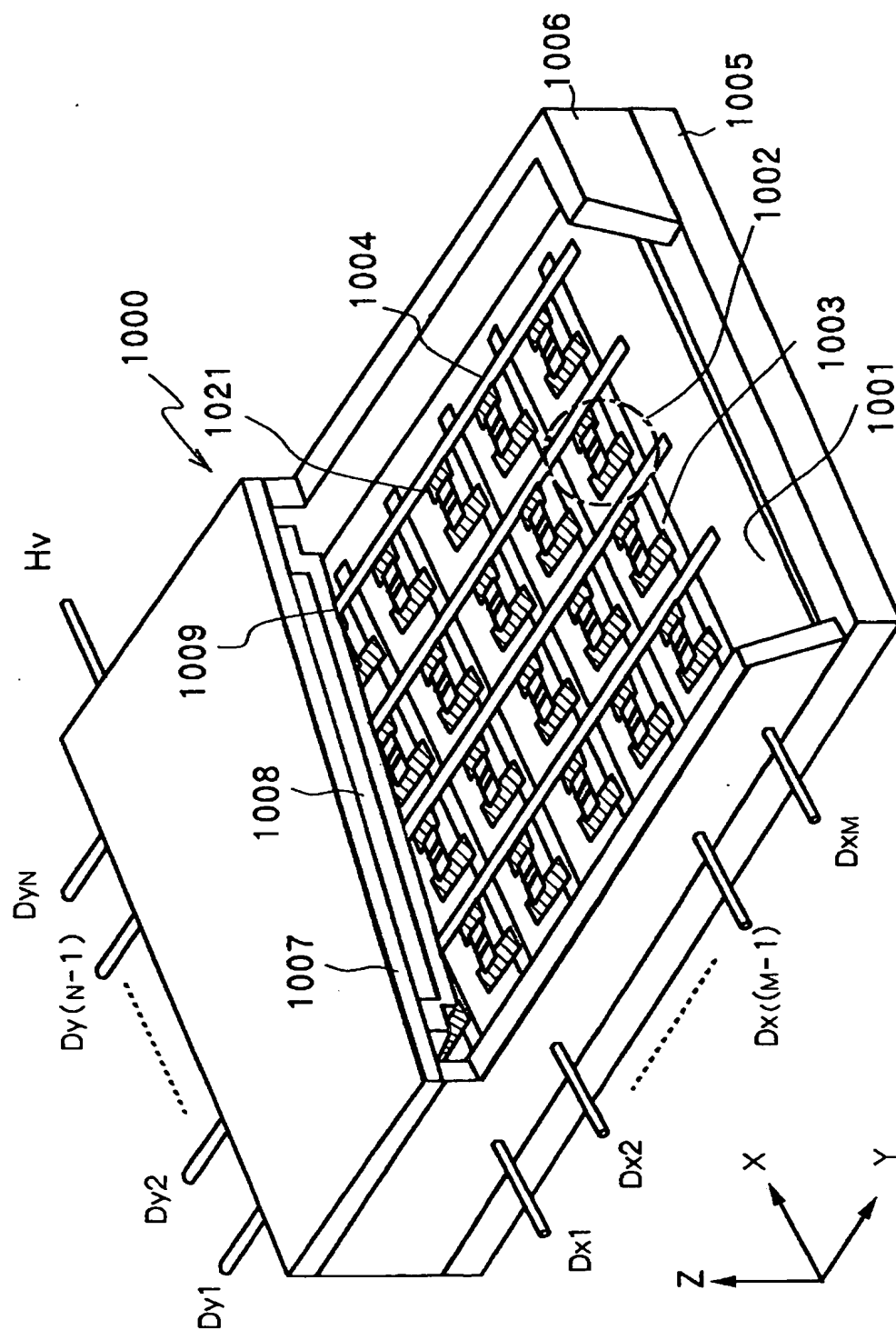
【図 17】



【図 1 8】

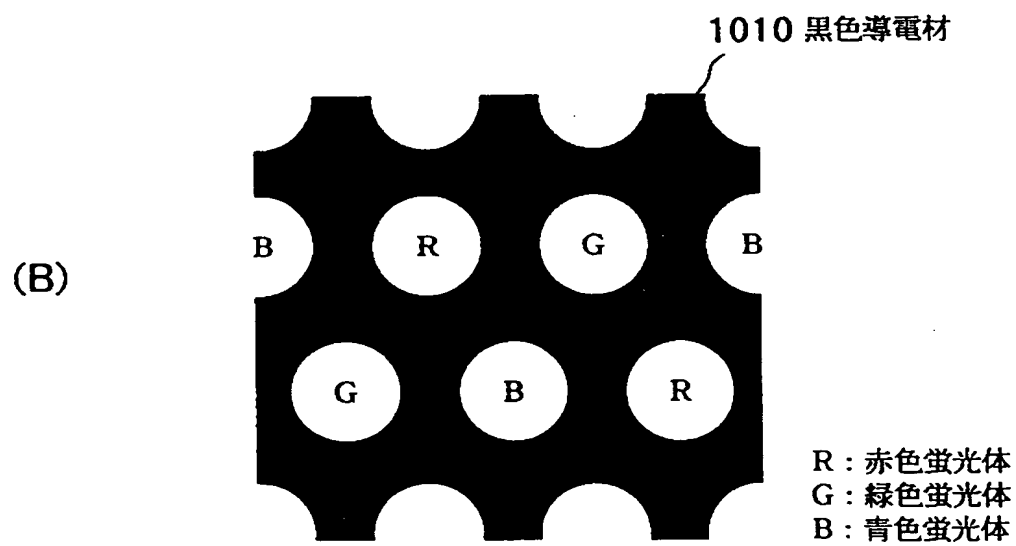
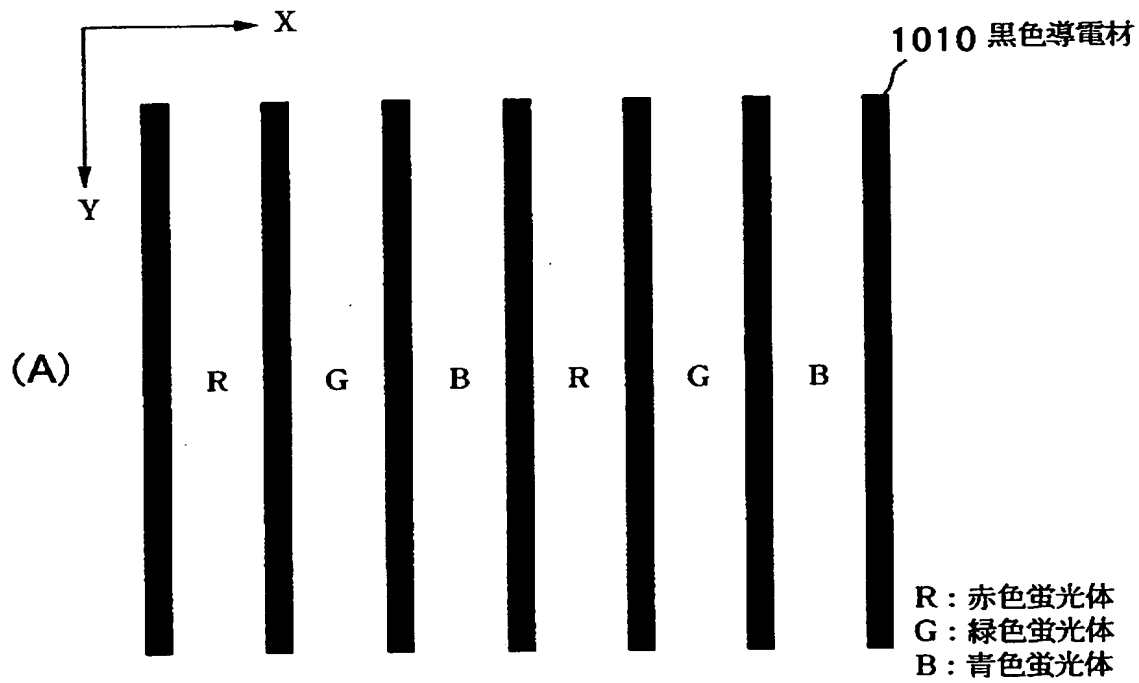


【図 19】

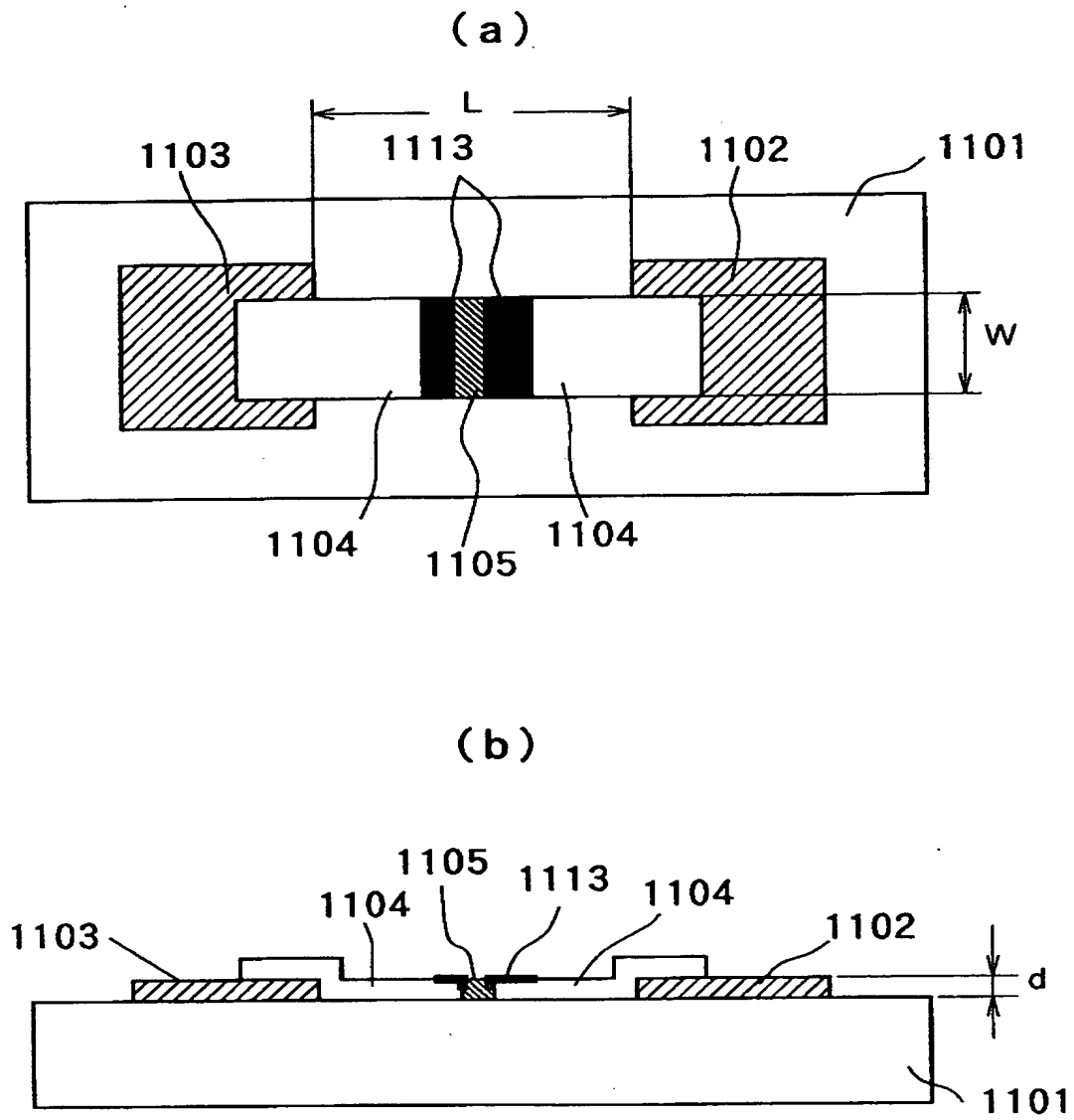




【図 20】

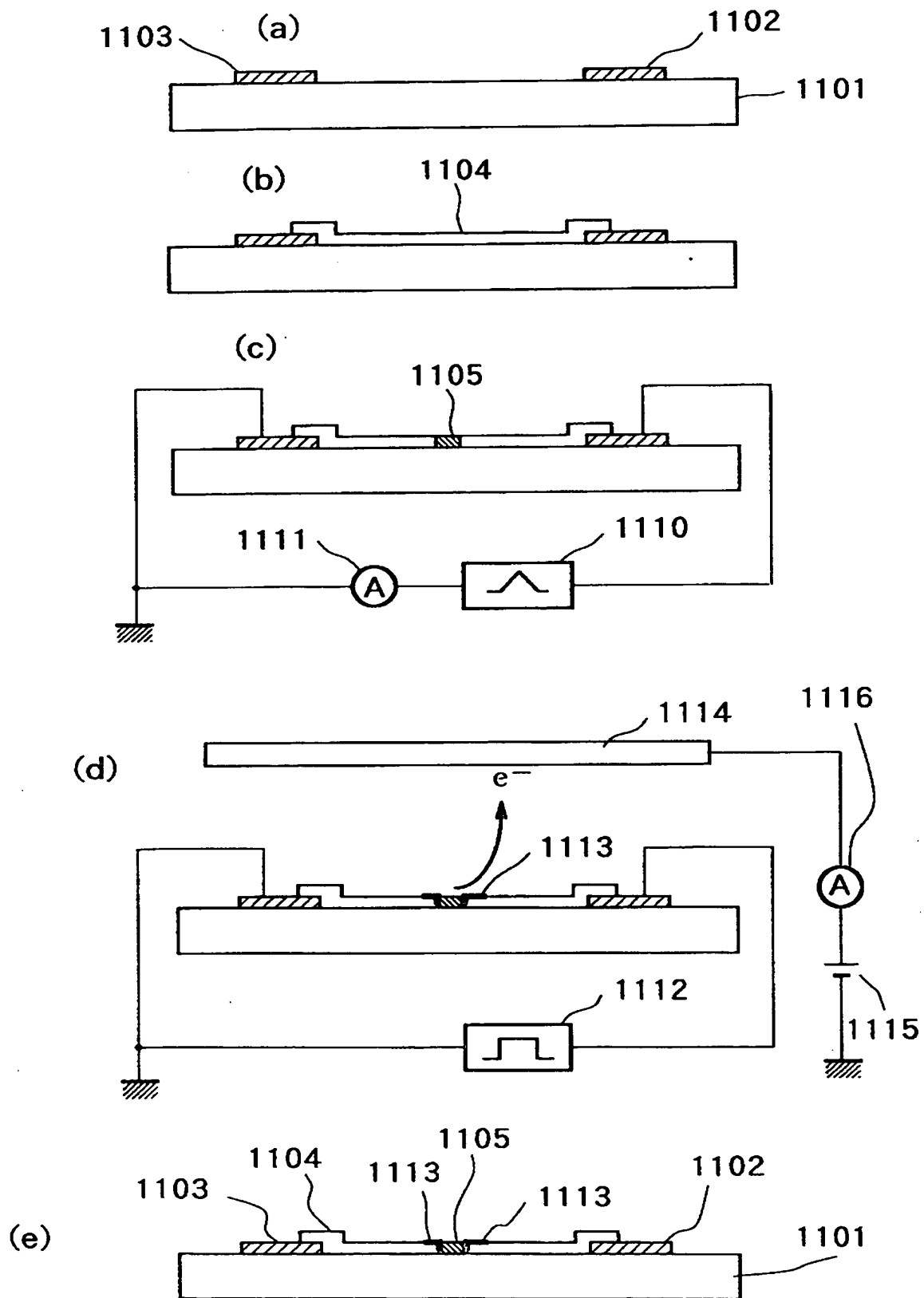


【図 21】

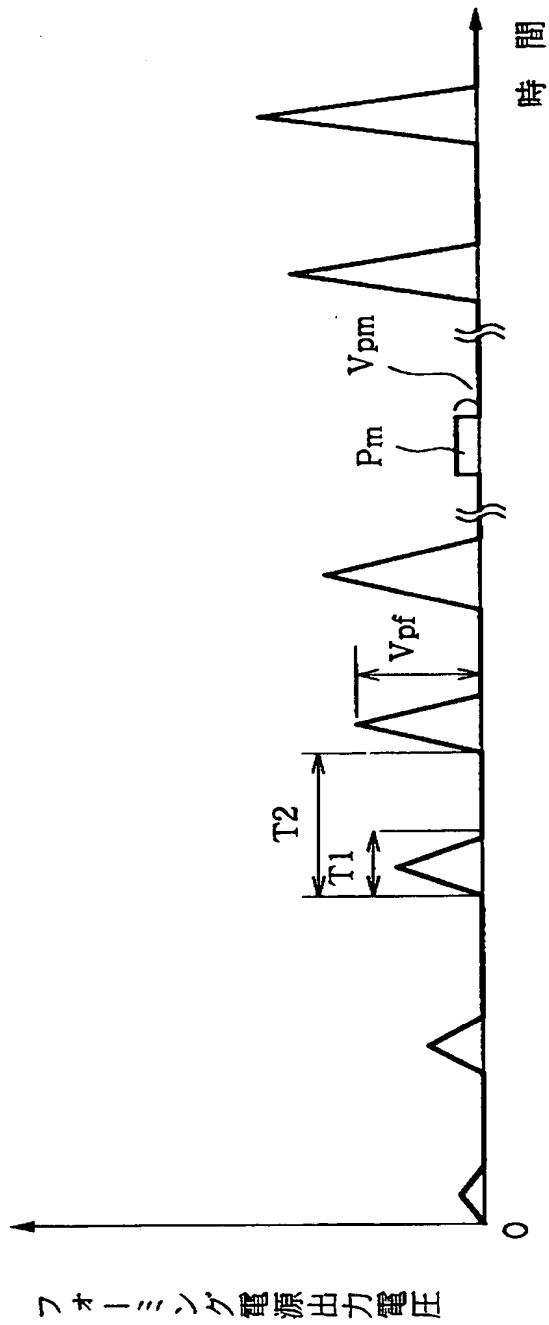


●  
特平 1 0 — 0 3 3 3 6 9

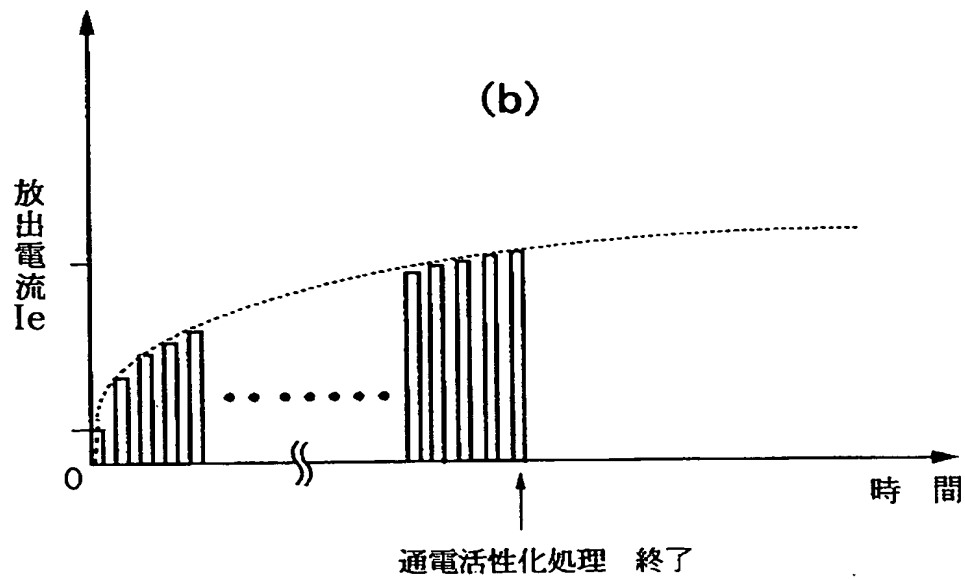
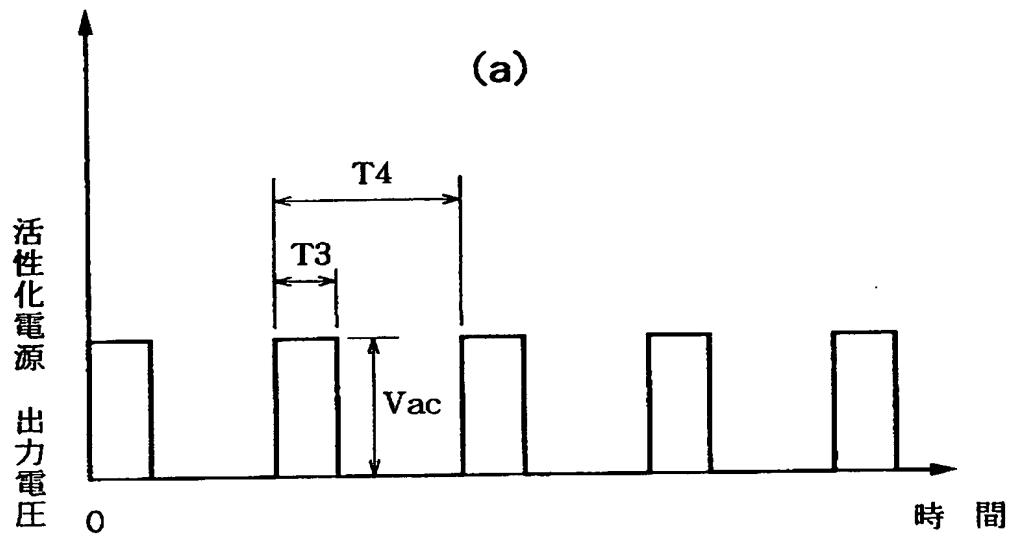
【図 2 2】



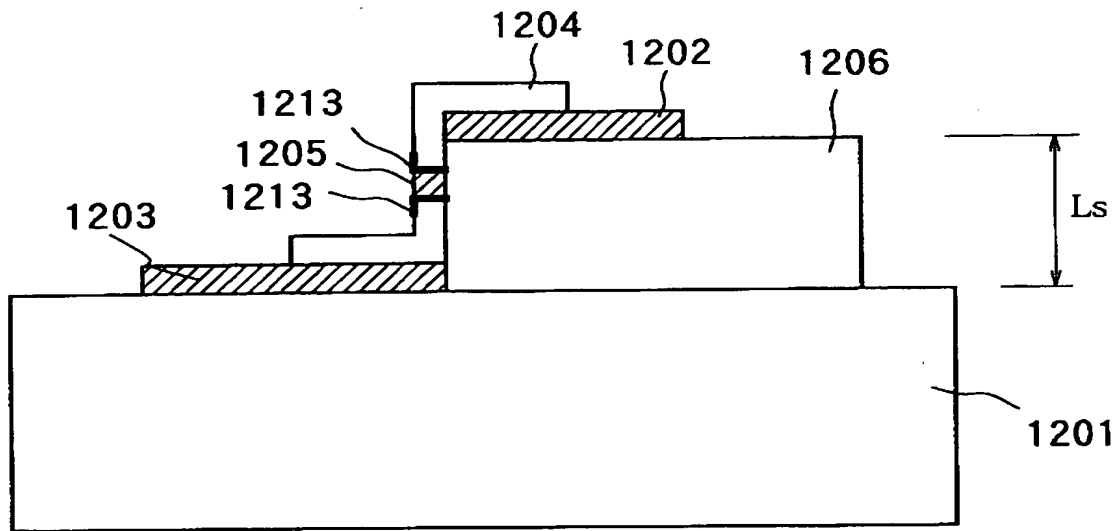
【図 23】



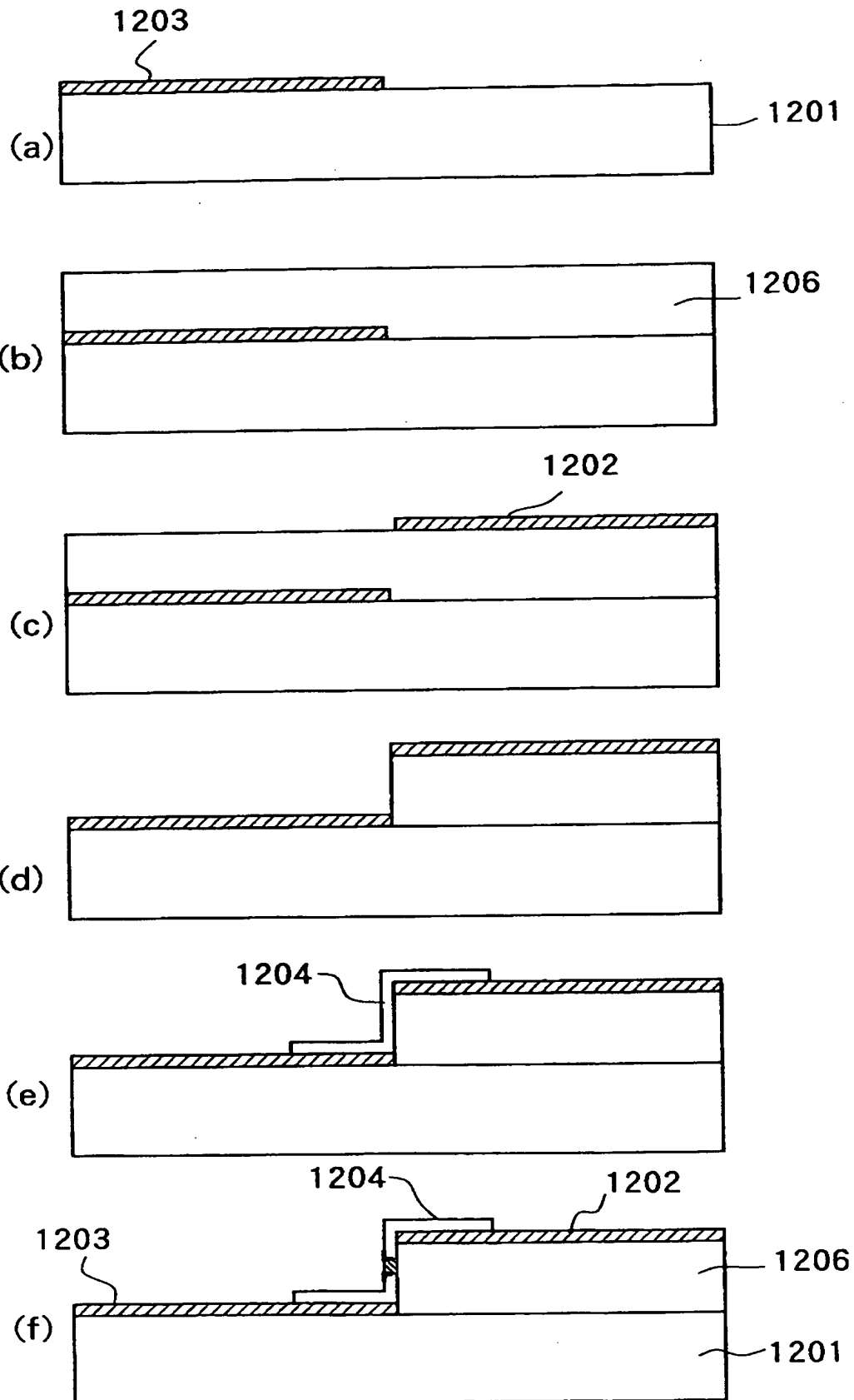
【図 24】



【図 25】

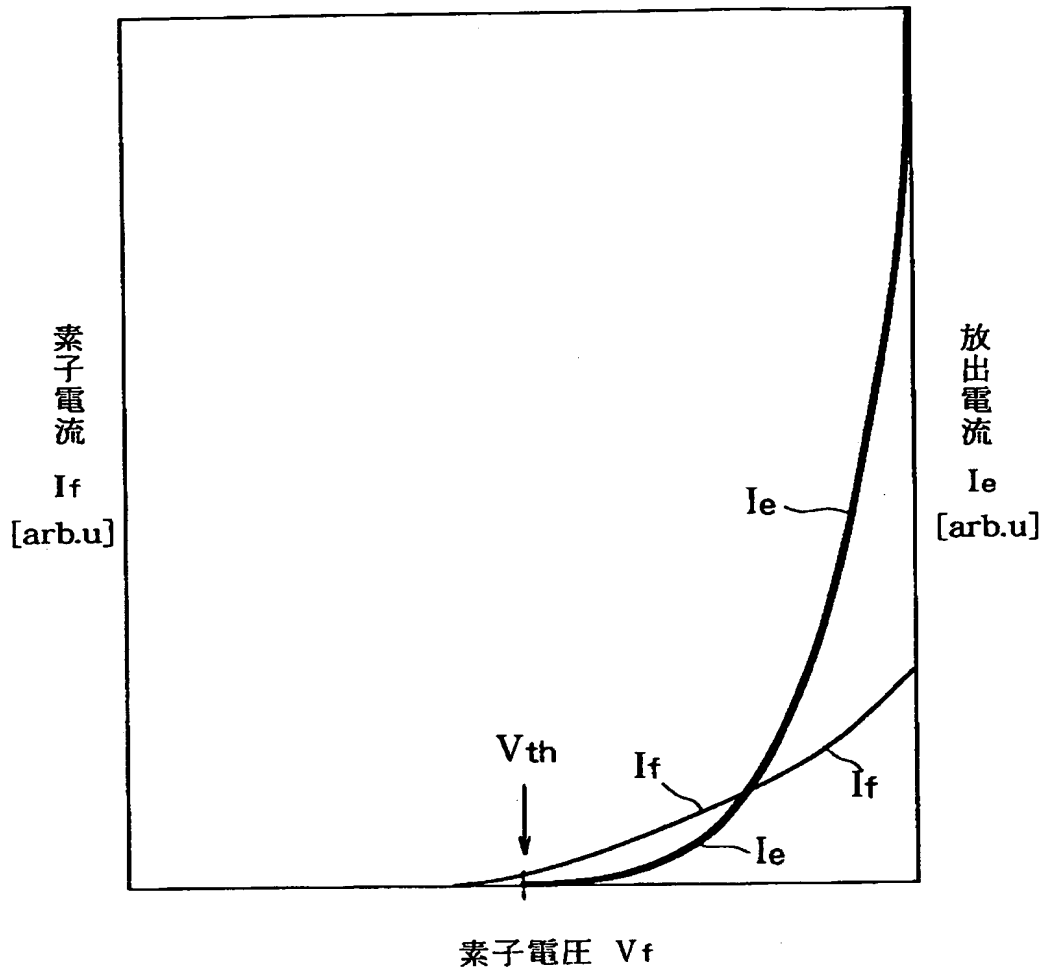


【図 26】

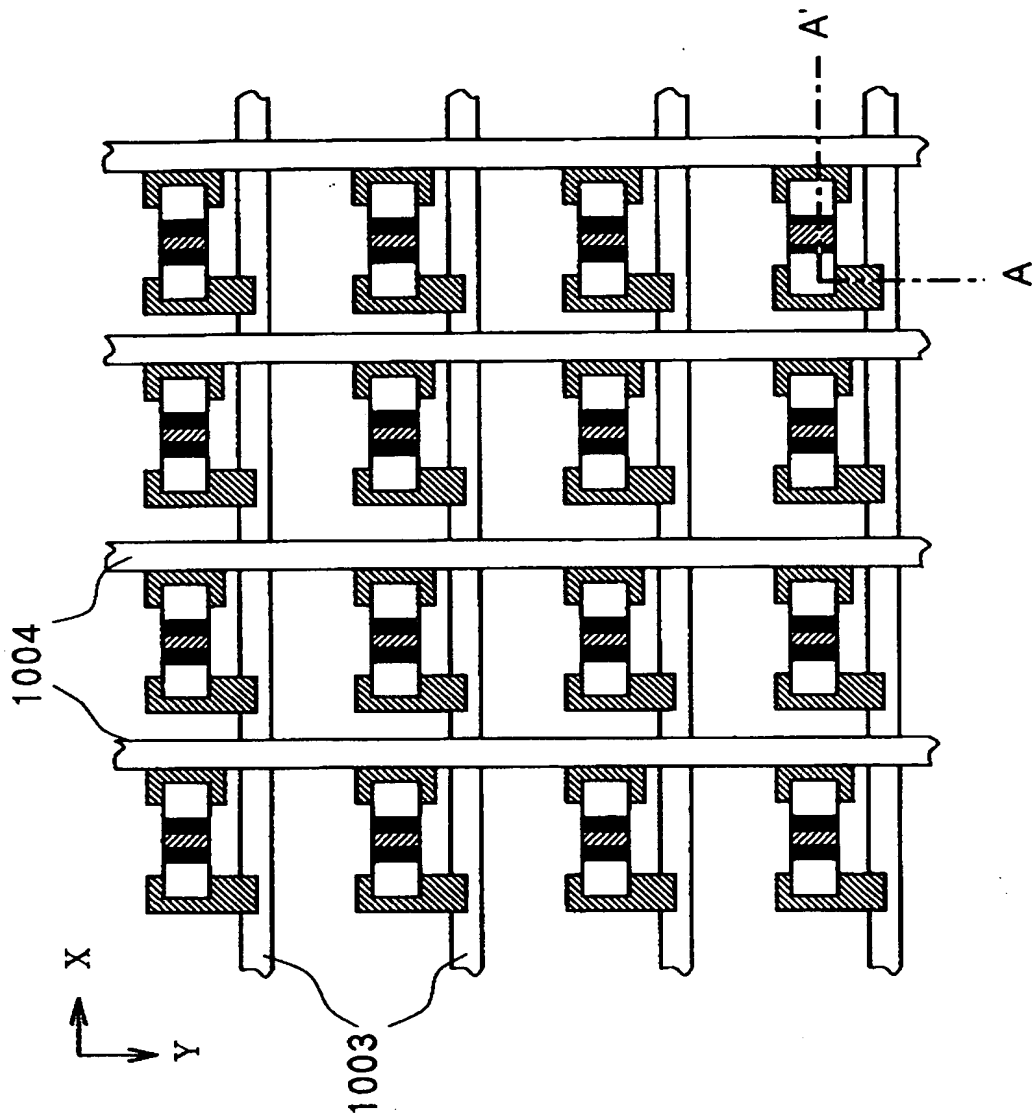




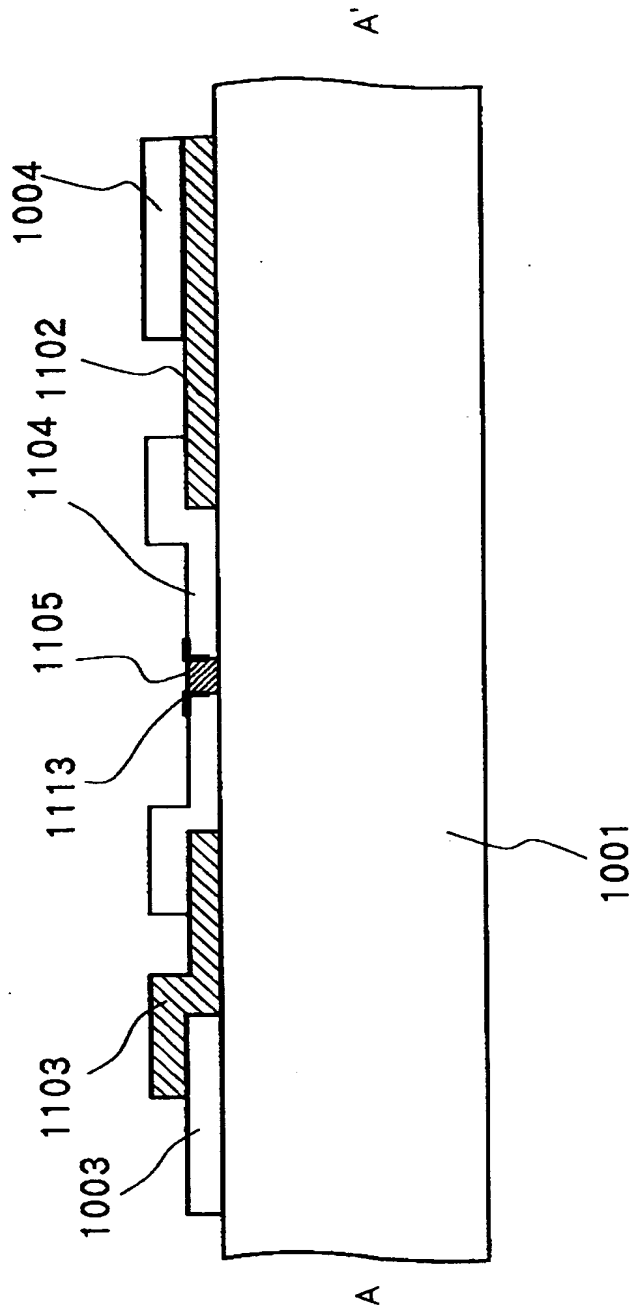
【図 27】



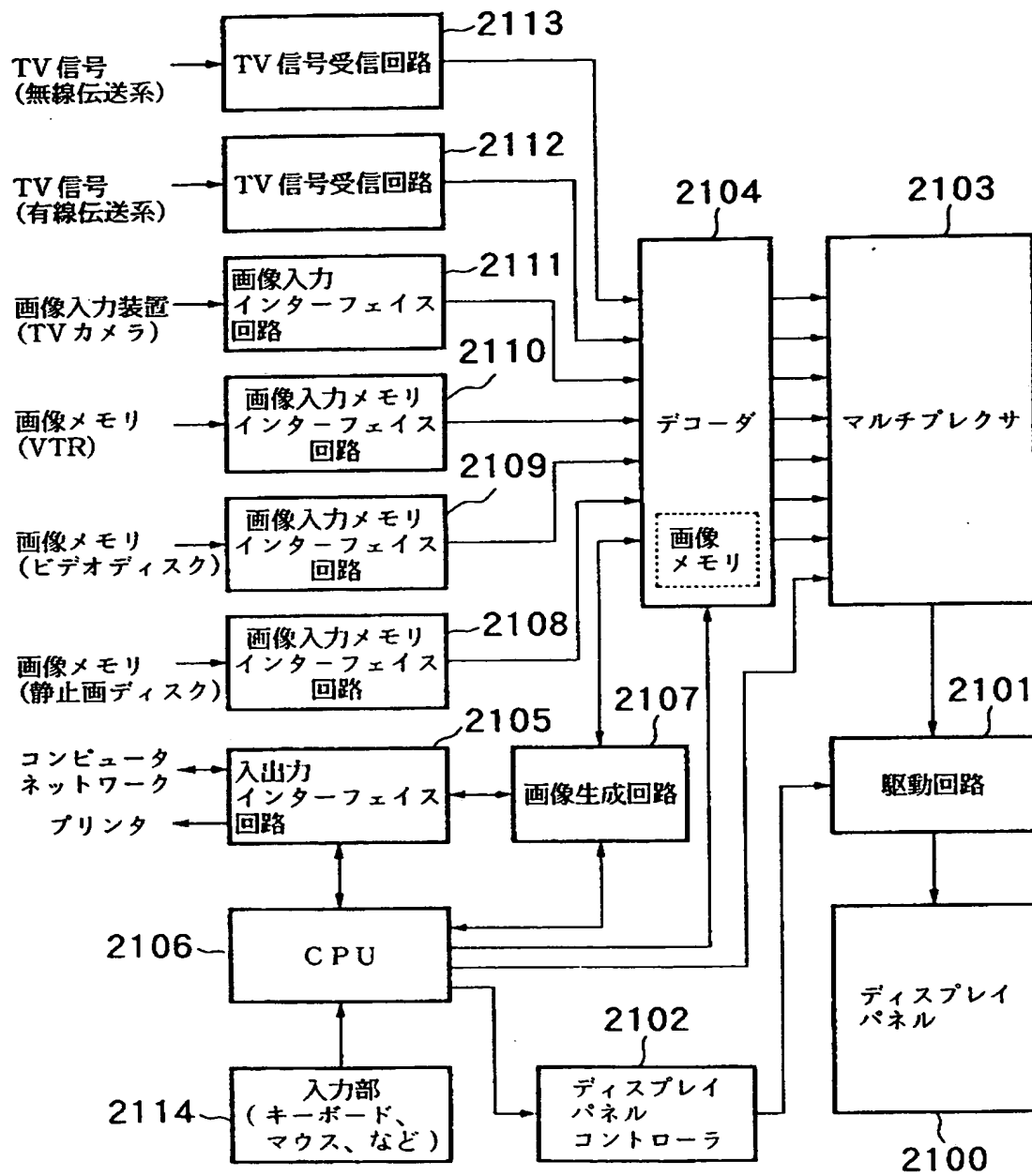
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 入力画像データに応じた輝度の画像を形成して階調の再現性を高めた画像形成方法及び装置を提供する。

【解決手段】 入力した画像データをシフトレジスタ4に順次転送して格納し、そこから並列に出力される画像データを変調信号発生器6により、クロック信号(PCLK)によりパルス幅変調して出力する。このクロック信号(PCLK)は、基準クロック信号(nPCLK)を基にPWMクロック発生器5から出力され、このクロック信号(PCLK)は、画像データの低輝度部分で周期が長くなるように設定されているので、低輝度の画像データのパルス幅変調信号の周期が長くなる。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000001007  
【住所又は居所】 東京都大田区下丸子3丁目30番2号  
【氏名又は名称】 キヤノン株式会社  
【代理人】 申請人  
【識別番号】 100076428  
【住所又は居所】 東京都千代田区麴町5丁目7番地 紀尾井町TBR  
ビル507号室  
【氏名又は名称】 大塚 康德  
【選任した代理人】  
【識別番号】 100093908  
【住所又は居所】 東京都千代田区麴町5丁目7番地 紀尾井町TBR  
ビル507号室  
【氏名又は名称】 松本 研一  
【選任した代理人】  
【識別番号】 100101306  
【住所又は居所】 東京都千代田区麴町5丁目7番地 紀尾井町TBR  
ビル507号室  
【氏名又は名称】 丸山 幸雄

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社